

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-186320

(43)Date of publication of application : 09.07.1999

(51)Int.Cl.

H01L 21/60
H01L 21/3205
H01L 23/12
// H01L 21/60

(21)Application number : 10-059315

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 11.03.1998

(72)Inventor : RI SHOROKU
KIM MYUNGSUNG

(30)Priority

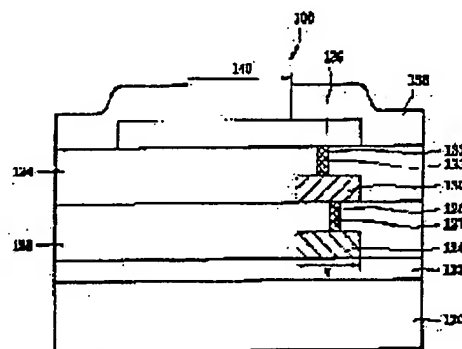
Priority number : 97 9766918 Priority date : 09.12.1997 Priority country : KR

(54) SEMICONDUCTOR ELEMENT WITH MULTILAYERED PAD, AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor element provided with a multilayered pad, with which the generation of cracks can be minimized by optimizing the structure of a bonding pad, and to provide a manufacturing method of the semiconductor element.

SOLUTION: A first conductive pad 124, which extends long along one open face of the case part of a pad window region 140, is formed on the semiconductor substrate 120 provided with a first interlayer insulating film 122. A second interlayer insulating film 128, having a first via hole 126 used to expose the surface of the first conductive pad 124, is formed on the first interlayer insulating film 122, and a first conductive plug 127 is formed in the first via hole 126. A second conductive pad 130, to be connected to the first conductive plug 127, is formed on the second interlayer insulating film 128. A third interlayer insulating film 134, provided with a second via hole 132 used to expose the surface of the second conductive pad 130, is formed, and a second conductive plug 133 is formed in the via hole 132. A third conductive pad 136 is formed on the third interlayer insulating film 134, in such a manner that it is connected to the second conductive plug 133.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device which possessed the multilayer pad characterized by having the 3rd conductivity pad formed in the predetermined portion on the aforementioned insulator layer between the 3rd layer between the 3rd layer characterized by providing the following so that it might connect with an insulator layer, the 2nd conductivity plug formed in the 2nd beer hall of the above, and this 2nd conductivity plug. The insulator layer between the 1st layer formed on the semiconductor substrate. The 1st conductivity pad of a configuration which was formed in the predetermined portion on an insulator layer, and was extended for a long time along with the whole surface side outline section of pad window region between this 1st layer. The insulator layer between the 2nd layer which the 1st beer hall possessed so that it might be formed on the aforementioned insulator layer between the 1st layer which included this 1st conductivity pad and the predetermined portion of the aforementioned 1st conductivity pad front face might be exposed. It is formed in the predetermined portion on the aforementioned insulator layer between the 2nd layer so that it may connect with the 1st conductivity plug formed in the 1st beer hall of the above, and this 1st conductivity plug. It is the 2nd beer hall so that it may be formed on the aforementioned insulator layer between the 2nd layer which included the 2nd conductivity pad and this 2nd conductivity pad of the configuration extended for a long time along with the whole surface side outline section of pad window region and the predetermined portion of the aforementioned 2nd conductivity pad front face may be exposed.

[Claim 2] the [the above 1st or] -- the semiconductor device possessing the

multilayer pad according to claim 1 with which 3 conductivity pad is characterized by the bird clapper from an aluminium alloy or a copper alloy

[Claim 3] The above 1st and the 2nd beer hall are a semiconductor device possessing the claim 1 characterized by having edge array structure or having a bar gestalt, or the multilayer pad given in either of 2.

[Claim 4] The above 1st and the 2nd conductivity plug are any which were chosen in the tungsten, the aln NIUMU alloy, or the copper alloy, or the semiconductor device which possessed from one the multilayer pad according to claim 1 to 3 characterized by the bird clapper.

[Claim 5] The semiconductor device which possessed the above 1st and the multilayer pad according to claim 4 characterized by forming the 1st and the 2nd barrier-metal film further in the 2nd beer hall when the above 1st and the 2nd conductivity plug were formed with a tungsten.

[Claim 6] The above 1st and the 2nd barrier-metal film are a semiconductor device possessing the multilayer pad according to claim 5 characterized by having titanium / titanium-nitride laminated structure.

[Claim 7] the [the above 1st or] -- the semiconductor device possessing the multilayer pad according to claim 1 to 6 characterized by forming further the antireflection film of a titanium nitride or titanium / titanium-nitride laminated structure on 3 conductivity pad

[Claim 8] The above 1st and the 2nd conductivity pad are a semiconductor device possessing the multilayer pad according to claim 1 to 7 characterized by having width of face of 2-5 micrometers.

[Claim 9] The semiconductor device possessing the aforementioned multilayer pad includes an insulator layer and the 4th conductivity pad further between the 4th layer which the wide beer hall possessed so that predetermined partial exposure of the front face of the aforementioned 3rd

conductivity pad might be carried out. The aforementioned insulator layer between the 4th layer which the aforementioned wide beer hall possessed. It is a semiconductor device possessing the multilayer pad according to claim 1 to 8 characterized by being formed on the aforementioned insulator layer between the 3rd layer which included the aforementioned 3rd conductivity pad, and forming the aforementioned 4th conductivity pad in the predetermined portion on the aforementioned insulator layer between the 4th layer which included the aforementioned wide beer hall.

[Claim 10] The semiconductor device possessing the above 1st of the aforementioned pad window region lower part, and the multilayer pad according to claim 1 to 9 characterized by forming further at least the buffer layer of the arbitrary individual which has a mosaic array on any one film in an insulator layer between the 2nd layer.

[Claim 11] The aforementioned buffer layer is a semiconductor device possessing the above 1st and the multilayer pad according to claim 10 characterized by being formed so that it may have the array structure where have the mosaic array structure same on an insulator layer between the 2nd layer as mutual, or shift to a zigzag method and it is located.

[Claim 12] It is a semiconductor device possessing the claim 10 characterized by for the interval between two buffer layers in which the aforementioned buffer layer carried out mutual contiguity being 0.7-0.8 micrometers, and each having width of face of 0.4-0.6 micrometers, or the multilayer pad given in either of 11.

[Claim 13] The aforementioned buffer layer is the semiconductor device which possessed the multilayer pad according to claim 10 to 12 characterized by the bird clapper from an insulator layer and the matter of a different kind between the above 1st or the 3rd layer.

[Claim 14] The aforementioned matter of a different kind is an aluminium alloy, a copper alloy, and any which were chosen in contest polysilicon or the semiconductor device possessing the multilayer pad according to claim 13 characterized by being one.

[Claim 15] The semiconductor device which possessed the multilayer pad characterized by having the 3rd conductivity pad continued and formed in the 1st on the aforementioned insulator layer between the 3rd layer, and the predetermined portion of the 2nd field between the 3rd layer characterized by providing the following so that it might connect with an insulator layer, the 2nd conductivity plug formed in the 2nd beer hall of the above, and this 2nd conductivity plug. The insulator layer between the 1st layer formed all over the connection section which connects the pad formation section which is the 1st field on a semiconductor substrate, and the cell formation section which is the 2nd field and the pad formation section, and the cell formation section which is the 3rd field. The 1st conductivity pad formed in the 2nd field on an insulator layer between this 1st layer. The insulator layer between the 2nd layer which the 1st beer hall of a bar configuration possessed so that it might be formed on the aforementioned insulator layer between the 1st layer which included this 1st conductivity pad and the predetermined portion of the aforementioned 1st conductivity pad front face might be exposed. It is the 2nd beer hall of a bar configuration so that it may connect with the 1st conductivity plug formed in this 1st beer hall, and this 1st conductivity plug, and it may be formed on the aforementioned insulator layer between the 2nd layer which included the 2nd conductivity pad formed in the 2nd field on the aforementioned insulator layer between the 2nd layer, and this 2nd conductivity pad and the predetermined

portion of the aforementioned 2nd conductivity pad front face may be exposed. [Claim 16] the [the above 1st or] -- the semiconductor device possessing the multilayer pad according to claim 15 with which 3 conductivity pad is characterized by the bird clapper from an aluminum alloy or a copper alloy

[Claim 17] The above 1st and the 2nd conductivity plug are the semiconductor device which possessed the claim 15 characterized by the bird clapper, or the multilayer pad given in either of 16 from any which were chosen in the tungsten, the aluminium alloy, and the copper alloy, or one.

[Claim 18] The semiconductor device which possessed the above 1st and the multilayer pad according to claim 17 characterized by forming the 1st and the 2nd barrier-metal film further in the 2nd beer hall when the above 1st and the 2nd conductivity plug were formed with a tungsten.

[Claim 19] The above 1st and the 2nd barrier-metal film are a semiconductor device possessing the multilayer pad according to claim 18 characterized by having titanium / titanium-nitride laminated structure.

[Claim 20] the [the above 1st or] -- the semiconductor device possessing the multilayer pad according to claim 15 to 19 characterized by forming further the antireflection film of a titanium nitride or titanium / titanium-nitride laminated structure on 3 conductivity pad

[Claim 21] The semiconductor device possessing the aforementioned multilayer pad includes an insulator layer and the 4th conductivity pad further between the 4th layer which the wide beer hall possessed so that the predetermined portion of the aforementioned 3rd conductivity pad front face might be exposed. The aforementioned insulator layer between the 4th layer which the aforementioned wide beer hall possessed It is formed on the aforementioned insulator layer between

the 3rd layer which included the aforementioned 3rd conductivity pad, the aforementioned 4th conductivity pad The semiconductor device possessing the multilayer pad according to claim 15 to 20 characterized by being formed in the 1st on the aforementioned insulator layer between the 4th layer which included the aforementioned wide beer hall, and the 2nd field predetermined portion.

[Claim 22] The semiconductor device which possessed the multilayer pad characterized by having the 3rd conductivity pad formed in the predetermined portion on the aforementioned insulator layer between the 3rd layer between the 3rd layer characterized by providing the following so that it might connect with an insulator layer, the 2nd conductivity plug formed in the 2nd beer hall of the above, and this 2nd conductivity plug. The insulator layer between the 1st layer formed on the semiconductor substrate. The 1st conductivity pad which it was formed on the insulator layer and two or more penetration holes possessed in the center section between this 1st layer. The insulator layer between the 2nd layer which the 1st beer hall possessed so that it might be formed on the aforementioned insulator layer between the 1st layer which included this 1st conductivity pad and the predetermined portion of the aforementioned 1st conductivity pad front face of a pad window region outline might be exposed. The 2nd conductivity pad of a closed-contour form with which it was formed on the aforementioned insulator layer between the 2nd layer, and the wide penetration hole was formed in the center section so that it might connect with the 1st conductivity plug formed in this 1st beer hall, and this 1st conductivity plug, It is the 2nd beer hall so that it may be formed on the aforementioned insulator layer between the 2nd layer which included this 2nd conductivity pad and the predetermined portion of the

aforementioned 2nd conductivity pad front face may be exposed.

[Claim 23] the [the above 1st or] -- the semiconductor device possessing the multilayer pad according to claim 22 with which 3 conductivity pad is characterized by the bird clapper from an aluminium alloy or a copper alloy

[Claim 24] The above 1st and the 2nd conductivity plug are the semiconductor device which possessed the claim 22 characterized by the bird clapper, or the multilayer pad given in either of 23 from any which were chosen in the tungsten, the alm NIUMU alloy, or the copper alloy, or one.

[Claim 25] The semiconductor device which possessed the above 1st and the multilayer pad according to claim 24 characterized by forming the 1st and the 2nd barrier-metal film further in the 2nd beer hall when the above 1st and the 2nd conductivity plug were formed with a tungsten.

[Claim 26] The above 1st and the 2nd barrier-metal film are a semiconductor device possessing the multilayer pad according to claim 25 characterized by having titanium / titanium-nitride laminated structure.

[Claim 27] the [the above 1st or] -- the semiconductor device possessing the multilayer pad according to claim 22 to 26 characterized by forming further the antireflection film of a titanium nitride or titanium / titanium-nitride laminated structure on 3 conductivity pad

[Claim 28] It is the semiconductor device according to claim 22 to 27 characterized by for the 1st conductivity pad interval between two penetration holes which carried out mutual contiguity in the aforementioned penetration hole provided in the aforementioned 1st conductivity pad being 1-2 micrometers, and each having width of face of 2-6 micrometers.

[Claim 29] The aforementioned 1st conductivity pad of a portion connected with the aforementioned 1st conductivity

plug is a semiconductor device possessing the multilayer pad according to claim 22 to 28 characterized by having width of face of 2-5 micrometers.

[Claim 30] The semiconductor device possessing the aforementioned multilayer pad includes an insulator layer and the 4th conductivity pad further between the 4th layer which the wide beer hall possessed so that the predetermined portion of the aforementioned 3rd conductivity pad front face might be exposed. The aforementioned insulator layer between the 4th layer which the aforementioned wide beer hall possessed It is formed on the aforementioned insulator layer between the 3rd layer which included the aforementioned 3rd conductivity pad. the aforementioned 4th conductivity pad The semiconductor device possessing the multilayer pad according to claim 22 to 29 characterized by being formed in the predetermined portion on the aforementioned insulator layer between the 4th layer which included the aforementioned wide beer hall.

[Claim 31] The manufacture method of the semiconductor device which possessed the multilayer pad characterized by including the process which forms the 3rd conductivity pad in the predetermined portion on the aforementioned insulator layer between the 3rd layer so that it might connect with the process which is characterized by providing the following, and which forms an insulator layer between the 3rd layer, the process which forms the 2nd conductivity plug in the 2nd beer hall of the above, and this 2nd conductivity plug. The process which forms an insulator layer between the 1st layer on a semiconductor substrate. The process which forms the 1st conductivity pad of a configuration extended for a long time along with the whole surface side outline section of pad window region by the predetermined portion on an insulator layer between this 1st layer. The process

which forms an insulator layer between the 2nd layer which the 1st beer hall possessed on the aforementioned insulator layer between the 1st layer which included this 1st conductivity pad. It is the 2nd beer hall on the aforementioned insulator layer between the 2nd layer which included the process which forms the 2nd conductivity pad of a configuration extended for a long time along with the whole surface side outline section of pad window region, and this 2nd conductivity pad at the predetermined portion on the aforementioned insulator layer between the 2nd layer so that it might connect with the process which forms the 1st conductivity plug in the 1st beer hall of the above, and this 1st conductivity plug.

[Claim 32] the [the above 1st or] -- the manufacture method of the semiconductor device possessing the multilayer pad according to claim 31 characterized by forming 3 conductivity pad by the aluminium alloy or the copper alloy

[Claim 33] The above 1st and the 2nd beer hall are the manufacture method of the semiconductor device possessing the claim 31 characterized by forming in edge array structure or a bar form, or the multilayer pad given in either of 32.

[Claim 34] The above 1st and the 2nd conductivity plug are the manufacture method of any which were chosen in the tungsten, the aluminium alloy, or the copper alloy, or the semiconductor device possessing the multilayer pad according to claim 31 to 33 characterized by forming by one.

[Claim 35] The manufacture method of the semiconductor device which possessed the multilayer pad according to claim 34 characterized by including further the process which forms the 1st and the 2nd barrier-metal film in the above 1st and the 2nd beer hall when the above 1st and the 2nd conductivity plug were formed with a tungsten.

[Claim 36] The above 1st and the 2nd

barrier-metal film are the manufacture method of the semiconductor device possessing the multilayer pad according to claim 35 characterized by forming in titanium / titanium-nitride laminated structure.

[Claim 37] the [the above 1st or] -- the [of each above before formation of 3 conductivity pad / the 1st or] -- the manufacture method of the semiconductor device possessing the multilayer pad according to claim 31 to 36 characterized by including further the process which forms the antireflection film of a titanium nitride or titanium / titanium-nitride laminated structure on 3 conductivity pad [Claim 38] The above 1st and the 2nd conductivity pad are the manufacture method of the semiconductor device possessing the multilayer pad according to claim 31 to 37 characterized by forming in width of face of 2-5 micrometers.

[Claim 39] The manufacture method of a semiconductor device characterized by providing the following. The process which forms an insulator layer between the 4th layer which the wide beer hall possessed on the aforementioned insulator layer between the 3rd layer which included the aforementioned 3rd conductivity pad after the process which forms the aforementioned 3rd conductivity pad. The process which forms the 4th conductivity pad in the predetermined portion on the aforementioned insulator layer between the 4th layer which included the aforementioned wide building hole so that it might connect with the aforementioned 3rd conductivity pad. The multilayer pad according to claim 31 to 38 characterized by *(ing) and also including.

[Claim 40] The manufacture method of the semiconductor device possessing the above 1st of the aforementioned pad window region lower part, and the multilayer pad according to claim 31 to 39 characterized by forming further at least the buffer layer of the arbitrary individual which has a

mosaic array on any one film in an insulator layer between the 2nd layer.

[Claim 41] The aforementioned buffer layer is the manufacture method of the semiconductor device possessing the above 1st and the multilayer pad according to claim 40 characterized by forming so that it may have the mosaic array structure where have the mosaic array structure same on an insulator layer between the 2nd layer, or shift to a zigzag method and it is located.

[Claim 42] It is the manufacture method of the semiconductor device which the interval between two buffer layers in which the aforementioned buffer layer carried out mutual contiguity is 0.7-0.8 micrometers, and possessed the claim 40 characterized by forming each so that it may have width of face of 0.4-0.6 micrometers, or the multilayer pad given in either of 41.

[Claim 43] The aforementioned buffer layer is the manufacture method of the semiconductor device possessing the multilayer pad according to claim 40 to 42 characterized by forming by the insulator layer and the matter of a different kind between the above 1st or the 3rd layer.

[Claim 44] The aforementioned matter of a different kind is the manufacture method of the semiconductor device possessing the aluminium alloy, the copper alloy, and the multilayer pad according to claim 43 by which it is characterized [any which were chosen in contest polysilicon, that it is one, and].

[Claim 45] The manufacture method of the semiconductor device possessing the multilayer pad according to claim 31 to 44 characterized by forming through the process which forms a conductive film all over the aforementioned insulator layer between the 2nd layer which included the 1st beer hall of the above for the aforementioned 1st conductivity plug, and the process which gives a CMP process and carries out flattening of the aforementioned conductive film.

[Claim 46] The manufacture method of the

semiconductor device which possessed the multilayer pad characterized by to include the process which forms the 3rd conductivity pad in the 1st on the aforementioned insulator layer between the 3rd layer, and the predetermined portion of the 2nd field so that it might connect with the process which is characterized by to provide the following, and which forms an insulator layer between the 3rd layer, the process which forms the 2nd conductivity plug in the 2nd beer hall of the above, and this 2nd conductivity plug. The process which forms an insulator layer between the 1st layer all over the connection section which connects the pad formation section which is the 1st field on a semiconductor substrate, and the cell formation section which is the 2nd field and the pad formation section, and the cell formation section which is the 3rd field. The process which forms the 1st conductivity pad in the 2nd field on an insulator layer between this 1st layer. The process which forms an insulator layer between the 2nd layer which the 1st beer hall of a bar configuration possessed on the aforementioned insulator layer between the 1st layer which included this 1st conductivity pad. It is the 2nd beer hall of a bar configuration on the aforementioned insulator layer between the 2nd layer which included the process which forms the 2nd conductivity pad in the 2nd field on the aforementioned insulator layer between the 2nd layer, and this 2nd conductivity pad so that it might connect with the process which forms the 1st conductivity plug in this 1st beer hall, and this 1st conductivity plug.

[Claim 47] the [the above 1st or] -- the manufacture method of the semiconductor device possessing the multilayer pad according to claim 46 characterized by forming 3 conductivity pad by the aluminium alloy or the copper alloy

[Claim 48] The manufacture method of the semiconductor device possessing the claim

46 characterized by forming the above 1st and the 2nd conductivity plug by any which were chosen in the tungsten, the aluminium alloy, or the copper alloy, or one, or the multilayer pad given in either of 47. [Claim 49] The manufacture method of the semiconductor device which possessed the multilayer pad according to claim 48 characterized by including further the process which forms the 1st and the 2nd barrier-metal film in the above 1st and the 2nd beer hall when the above 1st and the 2nd conductivity plug were formed with a tungsten.

[Claim 50] The above 1st and the 2nd barrier-metal film are the manufacture method of the semiconductor device possessing the multilayer pad according to claim 49 characterized by forming in titanium / titanium-nitride cascade-screen structure.

[Claim 51] the [the above 1st or] -- the [of each above before 3 conductivity pad formation / the 1st or] -- the manufacture method of the semiconductor device possessing the multilayer pad according to claim 46 to 50 characterized by including further the process which forms the antireflection film of a titanium nitride or titanium / titanium-nitride laminated structure on 3 conductivity pad

[Claim 52] The manufacture method of the semiconductor device possessing the multilayer pad according to claim 46 to 51 characterized by forming through the process which forms a conductive film all over the aforementioned insulator layer between the 2nd layer which included the 1st beer hall of the above for the aforementioned 1st conductivity plug, and the process which gives a CMP process and carries out flattening of the aforementioned conductive film.

[Claim 53] The manufacture method of a semiconductor device characterized by providing the following. The process which forms an insulator layer between the 4th layer which the wide beer hall possessed on

the aforementioned insulator layer between the 3rd layer which included the aforementioned 3rd conductivity pad after the process which forms the aforementioned 3rd conductivity pad. The process which forms the 4th conductivity pad in the 1st on the aforementioned insulator layer between the 4th layer which included the aforementioned wide beer hall so that it might connect with the aforementioned 3rd conductivity pad, and the 2nd field predetermined portion. The multilayer pad according to claim 46 to 52 characterized by *(ing) and also including. [Claim 54] The manufacture method of the semiconductor device which possessed the multilayer pad characterized by including the process which forms the 3rd conductivity pad in the predetermined portion on the aforementioned insulator layer between the 3rd layer so that it might connect with the process which is characterized by providing the following, and which forms an insulator layer between the 3rd layer, the process which forms the 2nd conductivity plug in the 2nd beer hall of the above, and this 2nd conductivity plug. The process which forms an insulator layer between the 1st layer on a semiconductor substrate. The process which forms in a center section the 1st conductivity pad which two or more penetration holes possessed between this 1st layer at the predetermined portion on an insulator layer. The process which forms an insulator layer between the 2nd layer which the 1st beer hall possessed on the aforementioned insulator layer between the 1st layer which included this 1st conductivity pad. It is the 2nd beer hall on the aforementioned insulator layer between the 2nd layer which included the process which forms the 2nd conductivity pad of a closed-contour form with which the wide penetration hole was formed in the center section on the aforementioned insulator layer between the 2nd layer, and this 2nd conductivity pad so that it might

connect with the process which forms the 1st conductivity plug in this 1st beer hall, and this 1st conductivity plug.

[Claim 55] the [the above 1st or] -- the manufacture method of the semiconductor device possessing the multilayer pad according to claim 54 characterized by forming 3 conductivity pad by the aluminium alloy or the copper alloy

[Claim 56] The manufacture method of the semiconductor device possessing the claim 54 characterized by forming the above 1st and the 2nd conductivity plug by any which were chosen in the tungsten, the aluminium alloy, and the copper alloy, or one, or the multilayer pad given in either of 55.

[Claim 57] The manufacture method of the semiconductor device which possessed the multilayer pad according to claim 56 characterized by including further the process which forms the 1st and the 2nd barrier-metal film in the above 1st and the 2nd beer hall when the above 1st and the 2nd conductivity plug were formed with a tungsten.

[Claim 58] The above 1st and the 2nd barrier-metal film are the manufacture method of the semiconductor device possessing the multilayer pad according to claim 57 characterized by forming in titanium / titanium-nitride laminated structure.

[Claim 59] the [the above 1st or] -- the [of each above before 3 conductivity pad formation / the 1st or] -- the manufacture method of the semiconductor device possessing the multilayer pad according to claim 54 to 58 characterized by including further the process which forms the antireflection film of a titanium nitride or titanium / titanium-nitride laminated structure on 3 conductivity pad

[Claim 60] The manufacture method of the semiconductor device possessing the multilayer pad according to claim 54 to 59 characterized by the 1st conductivity pad interval between two penetration holes by

which mutual contiguity was carried out in the aforementioned penetration hole provided in the aforementioned 1st conductivity pad forming so that it may have the width of face whose each is 2-6 micrometers by 1-2 micrometers.

[Claim 61] The manufacture method of the semiconductor device possessing the multilayer pad according to claim 54 to 60 characterized by forming the aforementioned 1st conductivity pad of a portion connected with the aforementioned 1st conductivity plug so that it may have width of face of 2-5 micrometers.

[Claim 62] The manufacture method of a semiconductor device characterized by providing the following. The process which forms an insulator layer between the 4th layer which the wide beer hall possessed on the aforementioned insulator layer between the 3rd layer which included the aforementioned 3rd conductivity pad after the process which forms the aforementioned 3rd conductivity pad. The process which forms the 4th conductivity pad in the predetermined portion on the aforementioned insulator layer between the 4th layer which included the aforementioned wide beer hall so that it might connect with the aforementioned 3rd conductivity pad. The multilayer pad according to claim 54 to 61 characterized by *(ing) and also including.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to a semiconductor device and its manufacture method, and relates to the semiconductor device possessing the multilayer pad which the structure of a bonding pad is optimized [pad] and may make crack initiation minimize especially, and its manufacture method.

[0002]

[Description of the Prior Art] In a deep submicron (deep submicron) time, application of the multilayer-interconnection process which combined W-plug, aluminum-flow, and the CMP (chemical mechanical polishing) process on the occasion of semiconductor manufacture is required inevitably.

[0003] Thus, when applying W-plug process to a multilayer-interconnection process, it is desirable to unify the size of a contact hole or a beer contact hole on the occasion of manufacture of a semiconductor device because of application of the CMP process 1 of W-plug. For that purpose, it is necessary to form the bonding pad of different structure from the bonding pad which has the existing wide (wide) beer contact hole.

[0004] If CMP processing of the tungsten (W) is carried out where a bonding pad is made to be the same as that of the existing structure, this A lot of particles (particle), such as an etching by-product (byproduct) and a slurry (slurry), remain to a pad field boundary part. It is for preventing the defect of electric resistance of the phenomenon by which MISHINGU (missing) is carried out in a pad interface by a cold ball exfoliating from a pad front face by the adhesive agent at the time of wirebonding, and a bonding pad increasing.

[0005] Drawing 30 is the cross section having shown the structure of the semiconductor device possessing the conventional multilayer pad relevant to application of W plug process. This cross section illustrates for convenience only the structure of the pad formation section related this invention and directly, with reference to this, roughly classifies the manufacture method into a three-stage, and explains it briefly.

[0006] The 1st phase forms and carries out flattening of the insulator layer 22 to the pad formation section on a field oxide film, a transistor, and the semiconductor substrate that the capacitor possessed between the 1st layer. Subsequently,

aluminum alloy or the 1st conductivity pad 24 of the quality of Cu alloy is formed in the pad formation section on an insulator layer 22, and between the 1st layer which included the 1st conductivity pad 24, after forming the insulator layer 28 between the 2nd layer of the oxide-film quality of the material on an insulator layer 22, flattening of this is carried out. Subsequently, selection etching of the insulator layer 28 is carried out between the 2nd layer, and two or more 1st beer halls 26 are formed so that the predetermined portion of 1st conductivity pad 24 front face may be exposed for connection to the 2nd conductivity pad formed henceforth. Subsequently, W which is a consecutiveness process In order to perform smoothly the conductive film vacuum evaporation process of the quality of the material, the barrier-metal film (not shown) of titanium / titanium-nitride (Ti/TiN) laminated structure is alternatively formed only in a beer hall 26. Subsequently, between the 2nd layer which included the 1st beer hall 26, on an insulator layer 28, a CVD process is given, the conductive film of W quality of the material is formed, flattening of this conductive film is carried out according to a CMP process, and the 1stW plug 27 is formed in the 1st beer hall 26.

[0007] The 2nd phase forms the 2nd conductivity pad 30 of the quality of aluminum alloy, or the quality of Cu alloy in the predetermined portion on an insulator layer 28 between the 2nd layer, and forms an insulator layer 34 on an insulator layer 28 by the same method as the process shown in the 1st phase between the 3rd layer which the 2nd beer hall 32 possessed between the 2nd layer which the 2nd conductivity pad 30 has so that it may connect with the 1stW plug 27 electrically. Then, the 2ndW plug 33 is formed in the 2nd beer hall 32.

[0008] The 3rd phase forms the 3rd conductivity pad 36 of the quality of

aluminum alloy, or the quality of Cu alloy in the predetermined portion on an insulator layer 34 between the 3rd layer so that it may connect with the 2ndW plug 33 electrically. A protective coat 38 is formed on an insulator layer 34 between the 3rd layer with the predetermined portion of the 3rd conductivity pad 36 so that the front face of the 3rd conductivity pad 36 of the portion used for the pad window region (portion in which Au ball or Au bump is formed at the time of wirebonding) 40 may be exposed. The manufacturing process of the multilayer pad of a semiconductor device is ended.

[0009] Drawing 31 is the plan which looked at the semiconductor device which has the multilayer pad manufactured according to the aforementioned process from the top. the [namely, / the 1st formed in the pad window region 40 lower part, or] -- 3 conductivity pads 24, 30, and 36 It comes to be electrically connected through an insulator layer 28, the beer hall 26 in 34, and the W plugs 27 and 33 formed in 32 between the 2nd and the 3rd layer. It turns out that the semiconductor device is formed so that wirebonding of a conductive pad and the lead may be carried out through the pad window region 40 defined on the 3rd conductivity pad 36.

[0010] Here, drawing 30 is the cross section which cut the I-I portion of drawing 31, the pad formation section with sign 10a is shown, and sign 10b shows the connection section between a cell and pad formation section 10a.

[0011]

[Problem(s) to be Solved by the Invention]
However, although until can prevent the phenomenon of electric resistance of the phenomenon and bonding pad which a gold ball exfoliates from a pad front face, and are lost in a pad interface at the time of wirebonding increasing to some extent when forming the multilayer pad of a semiconductor device so that it may have the cross-section structure shown in

drawing 30 according to such a process, the problem which a degree is shown in semiconductor package manufacture process occurs.

[0012] In order that a conductive pad may receive mechanical stress (mechanical stress) by probing (probing) on the occasion of the electrical property test of the semiconductor product finally manufactured, a crack 42 occurs on a layer insulation film. such a phenomenon -- a pad aperture -- an up conductivity pad and a lead (not shown) -- mutual -- when giving the wirebonding process for making it connect electrically, it generates similarly

[0013] When the conductive pad of the good quality of aluminum alloy of elasticity is inserted relatively between strong layer insulation films and stress is added in the direction of an arrow of drawing 30, deformation (distortion) occurs in a conductive pad in primary, and, for this reason, the crack 42 of a pad and a layer insulation film generates this. This can be called the same ** as glass breaks when glass is completely placed and stepped on between two floor cushions.

[0014] Thus, since serious problems, such as an assembly property fall of poor wirebonding and a semiconductor package, are caused when a crack 42 occurs on a layer insulation film, the remedy to this is demanded.

[0015] It was made in order that this invention might solve the above-mentioned trouble, and by changing the pad structure of the semiconductor device which has a multilayer interconnection, the purpose tends to prevent the crack of the layer insulation film caused by probing at the time of evaluation of wirebonding or an electrical property, and tends to offer the semiconductor device possessing the multilayer pad which can secure the reliability of the assembly property improvement of a semiconductor package, and an element item, and its manufacture method.

[0016]

[Means for Solving the Problem] The insulator layer between the 1st layer formed on the semiconductor substrate in the 1st mode of this invention, The 1st conductivity pad of a configuration which was formed in the predetermined portion on an insulator layer, and was extended for a long time along with the whole surface side outline section of pad window region between this 1st layer, The insulator layer between the 2nd layer which the 1st beer hall possessed between the 1st layer which included the 1st conductivity pad so that it might be formed on an insulator layer and the predetermined portion of the 1st conductivity pad front face might be exposed, The 2nd conductivity pad of a configuration which was formed in the predetermined portion on an insulator layer between the 2nd layer so that it might connect with the 1st conductivity plug formed in the 1st beer hall, and the 1st conductivity plug, and was extended for a long time along with the whole surface side outline section of pad window region, The insulator layer between the 3rd layer which the 2nd beer hall possessed between the 2nd layer which included the 2nd conductivity pad so that it might be formed on an insulator layer and the predetermined portion of the 2nd conductivity pad front face might be exposed, The semiconductor device possessing the multilayer pad equipped with the 3rd conductivity pad formed in the predetermined portion on an insulator layer between the 3rd layer so that it might connect with the 2nd conductivity plug formed in the 2nd beer hall and the 2nd conductivity plug is offered.

[0017] At this time, the semiconductor device possessing the multilayer pad can also be formed so that it may have the 1st of the pad window region lower part, and the structure where the buffer layer of the arbitrary individual which has a mosaic array was further formed on any one film

at least in the insulator layer between the 2nd layer.

[0018] Moreover, the insulator layer between the 1st layer formed in the 2nd mode of this invention all over the connection section which connects the pad formation section which is the 1st field on a semiconductor substrate, and the cell formation section which is the 2nd field and the pad formation section, and the cell formation section which is the 3rd field, It is formed on an insulator layer between the 1st layer which included the 1st conductivity pad formed in the 2nd field on an insulator layer between the 1st layer, and the 1st conductivity pad. The insulator layer between the 2nd layer which the 1st beer hall of a bar configuration possessed so that the predetermined portion of the 1st conductivity pad front face might be exposed, The 2nd conductivity pad formed in the 2nd field on an insulator layer between the 2nd layer so that it might connect with the 1st conductivity plug formed in the 1st beer hall, and the 1st conductivity plug, The insulator layer between the 3rd layer which the 2nd beer hall of a bar configuration possessed between the 2nd layer which included the 2nd conductivity pad so that it might be formed on an insulator layer and the predetermined portion of the 2nd conductivity pad front face might be exposed, The semiconductor device possessing the multilayer pad equipped with the 3rd conductivity pad continued and formed in the 1st on an insulator layer and the predetermined portion of the 2nd field between the 3rd layer so that it might connect with the 2nd conductivity plug formed in the 2nd beer hall and the 2nd conductivity plug is offered.

[0019] Moreover, the insulator layer between the 1st layer formed on the semiconductor substrate in the 3rd mode of this invention, The 1st conductivity pad which it was formed on the insulator layer between the 1st layer, and two or more

penetration holes possessed in the center section, The insulator layer between the 2nd layer which the 1st beer hall possessed between the 1st layer which included the 1st conductivity pad so that it might be formed on an insulator layer and the predetermined portion of the 1st conductivity pad front face of a pad window region outline might be exposed, The 2nd conductivity pad of a closed-contour form with which it was formed on the insulator layer between the 2nd layer so that it might connect with the 1st conductivity plug formed in the 1st beer hall, and the 1st conductivity plug, and the wide penetration hole was formed in the center section, The insulator layer between the 3rd layer which the 2nd beer hall possessed between the 2nd layer which included the 2nd conductivity pad so that it might be formed on an insulator layer and the predetermined portion of the 2nd conductivity pad front face might be exposed, The semiconductor device possessing the multilayer pad equipped with the 3rd conductivity pad formed in the predetermined portion on an insulator layer between the 3rd layer so that it might connect with the 2nd conductivity plug formed in the 2nd beer hall and the 2nd conductivity plug is offered.

[0020] Moreover, the process which forms an insulator layer between the 1st layer on a semiconductor substrate in the 4th mode of this invention, The process which forms the 1st conductivity pad of a configuration extended for a long time along with the whole surface side outline section of pad window region by the predetermined portion on an insulator layer between the 1st layer, The process which forms an insulator layer on an insulator layer between the 2nd layer which the 1st beer hall possessed between the 1st layer which included the 1st conductivity pad, The process which forms the 1st conductivity plug in the 1st beer hall, and the process which forms the 2nd conductivity pad of a

configuration extended for a long time along with the whole surface side outline section of pad window region by the predetermined portion on an insulator layer between the 2nd layer so that it might connect with the 1st conductivity plug, The process which forms an insulator layer on an insulator layer between the 3rd layer which the 2nd beer hall possessed between the 2nd layer which included the 2nd conductivity pad, The manufacture method of a semiconductor device including the process which forms the 3rd conductivity pad in the predetermined portion on the insulator layer between the 3rd layer is offered so that it may connect with the process which forms the 2nd conductivity plug in the 2nd beer hall, and the 2nd conductivity plug.

[0021] Moreover, the process which forms an insulator layer between the 1st layer in the 5th mode of this invention all over the connection section which connects the pad formation section which is the 1st field on a semiconductor substrate, and the cell formation section which is the 2nd field and the pad formation section, and the cell formation section which is the 3rd field, The process which forms the 1st conductivity pad in the 2nd field on an insulator layer between the 1st layer, The process which forms an insulator layer on an insulator layer between the 2nd layer which the 1st beer hall of a bar configuration possessed between the 1st layer which included the 1st conductivity pad, The process which forms the 1st conductivity plug in the 1st beer hall, and the process which forms the 2nd conductivity pad in the 2nd field on an insulator layer between the 2nd layer so that it may connect with the 1st conductivity plug, The process which forms an insulator layer on an insulator layer between the 3rd layer which the 2nd beer hall of a bar configuration possessed between the 2nd layer which included the 2nd conductivity pad, The manufacture

method of a semiconductor device including the process which forms the 3rd conductivity pad in the 1st on the insulator layer between the 3rd layer and the predetermined portion of the 2nd field is offered so that it may connect with the process which forms the 2nd conductivity plug in the 2nd beer hall, and the 2nd conductivity plug.

[0022] Moreover, the process which forms an insulator layer between the 1st layer on a semiconductor substrate in the 6th mode of this invention, The process which forms in a center section the 1st conductivity pad which two or more penetration holes possessed between the 1st layer at the predetermined portion on an insulator layer, The process which forms an insulator layer on an insulator layer between the 2nd layer which the 1st beer hall possessed between the 1st layer which included the 1st conductivity pad, The process which forms the 1st conductivity plug in the 1st beer hall, and the process which forms the 2nd conductivity pad of a closed-contour form with which the wide penetration hole was formed in the center section on the insulator layer between the 2nd layer so that it might connect with the 1st conductivity plug, The process which forms an insulator layer on an insulator layer between the 3rd layer which the 2nd beer hall possessed between the 2nd layer which included the 2nd conductivity pad, The manufacture method of a semiconductor device including the process which forms the 3rd conductivity pad in the predetermined portion on the insulator layer between the 3rd layer is offered so that it may connect with the process which forms the 2nd conductivity plug in the 2nd beer hall, and the 2nd conductivity plug.

[0023] As a result of manufacturing the semiconductor device possessing the multilayer pad so that it may have the above structures, at the time of probing for the characterization of the time of wirebonding, or a product, even if stress is

added to a conductive pad, it becomes possible to distribute this appropriately, and the crack initiation in a layer insulation film can be minimized.

[0024]

[Embodiments of the Invention] Hereafter, the form of operation of this invention is explained in detail using a drawing. this invention minimizes the crack initiation of the layer insulation film under the conductive pad which makes a bonding pad by making the bonding pad structure of the semiconductor device which applied W plug process and the CMP process optimize. It explains in detail below.

[0025] The structure where the bonding pad by this invention was optimized can roughly be classified into five. The cross section having shown the structure of a semiconductor device where drawing 1 possessed the multilayer pad by the 1st operation form of this invention, The cross section having shown the structure of a semiconductor device where drawing 6 possessed the multilayer pad by the 2nd operation form of this invention, The cross section having shown the structure of a semiconductor device where drawing 8 possessed the multilayer pad by the 3rd operation form of this invention, The cross section and drawing 13 which showed the structure of a semiconductor device where drawing 10 possessed the multilayer pad by the 4th operation form of this invention are the cross section having shown the structure of the semiconductor device possessing the multilayer pad by the 5th operation form of this invention.

[0026] (I) The 1st operation form is explained with reference to the cross section of the 1st operation form **** and drawing 1. According to drawing 1, the semiconductor device possessing the multilayer pad by the 1st operation form of this invention is constituted as follows greatly.

[0027] An insulator layer 122 is formed between the 1st layer on a field oxide film,

a transistor, and the semiconductor substrate 120 that the capacitor possessed. The 1st conductivity pad 124 of a configuration extended for a long time along with the whole surface side outline section of the pad window region 140 is formed in the pad formation section on an insulator layer 122 (for example, predetermined portion on the insulator layer between the 1st layer of the field oxide-film upper part section) between this 1st layer. An insulator layer 128 is formed between the 1st layer which included this 1st conductivity pad 124 between the 2nd layer which the 1st beer hall 126 possessed so that the predetermined portion of 1st conductivity pad 124 front face might be exposed on an insulator layer 122.

[0028] The 1st conductivity plug 127 is formed in the 1st beer hall 126. The 2nd conductivity pad 130 of a configuration extended for a long time along with the whole surface side outline section of the pad window region 140 so that it might connect with the predetermined portion on an insulator layer 128 with the 1st conductivity plug 127 between the 2nd layer is formed. An insulator layer 134 is formed between the 2nd layer which included the 2nd conductivity pad 130 between the 3rd layer which the 2nd beer hall 132 possessed so that the predetermined portion of the front face of the 2nd conductivity pad 130 might be exposed on an insulator layer 128. The 2nd conductivity plug 133 is formed in the 2nd beer hall 132 of the above.

[0029] The 3rd conductivity pad 136 is formed so that it may connect with the predetermined portion on an insulator layer 134 with the 2nd conductivity plug 133 between the 3rd layer, and between the 3rd layer which included this 3rd conductivity pad 136, a protective coat 138 is formed so that the predetermined portion of the front face of the 3rd conductivity pad 136 may be exposed on an insulator layer 134. Here, the surface

outcrop of the 3rd conductivity pad 136 serves as the pad window region 140 to which wirebonding of a conductive pad and the lead is henceforth carried out at the time of manufacture of a package.

[0030] Drawing 2 or drawing 5 is the plan which looked at the semiconductor device which the multilayer pad shown in drawing 1 possessed from the top. If the pad window region 140 is formed in a rectangle and the 3rd conductivity pad 136 is removed, it turns out that the conductive pad is not formed at the pad window region 140 lower part.

[0031] A difference appears in the structure of the 1st and the 2nd conductivity pads 124 and 130 little by little with each plan. This is because it can also form so that the 1st and the 2nd conductivity pads 124 and 130 may be formed so that it may be extended for a long time along with the whole surface side of the pad window region 140, or they may be extended for a long time along with the whole surface side of the pad window region 140 as shown in drawing 4, as shown in drawing 2, and the ends may have the structure of the pad window region 140 where only a predetermined portion surrounds a side on the other hand.

[0032] this time -- the [the 1st or] -- although the layout arrangement on the 1st 3 conductivity pads 124, 130, and 136 are made to connect with electrically, and the front face of the 2nd beer hall 126 and 132 can apply various forms, as shown in drawing 2 and drawing 4, it can also form so that it may have edge array (edge array) structure, and it can also form so that it may have a bar (bar) form, as shown in drawing 3 and drawing 5.

[0033] Although it is formed drawing so that the 1st and the 2nd beer hall 126 and 132 may shift mutually zigzag within the insulator layer 128 between the 2nd layer, and the insulator layer 134 between the 3rd layer, depending on the case, you may form between the 2nd and the 3rd layer so

that the 1st or 2nd beer hall 126 and 132 may be located on a mutual straight line within an insulator layer 128 and 134.

[0034] Here, drawing 1 is what showed the cross-section structure which cut drawing 2 or the I-I portion of drawing 5, sign 100a shows the pad formation section, and sign 100b shows the connection section between a cell and the pad formation section. And the semiconductor device possessing the multilayer pad of the aforementioned structure is manufactured through the following three-stage. This is explained with reference to the cross section according to process shown in drawing 15 or drawing 17.

[0035] As the 1st phase, as shown in drawing 15, after forming and carrying out flattening of the insulator layer 122 between the 1st layer with a thickness of 9000-12000Å, aluminum alloy or the conductive film of the quality of Cu alloy is formed all over the at the thickness of 5500 - 6500 Å on a field oxide film, a transistor, and the semiconductor substrate 120 that the capacitor possessed. Subsequently, the antireflection film (not shown) of TiN or a Ti/TiN laminated structure is formed on this conductive film at the thickness of 200-350Å, and selection etching of the conductive film is carried out using the etching mask which limits the whole surface side outline section of the pad window region 140. Consequently, the 1st conductivity pad 124 which has width of face (w) of 2.5 micrometers extended for a long time by the longitudinal direction along with the whole surface side outline section of the pad window region 140 is formed.

[0036] Subsequently, between the 1st layer which included the 1st conductivity pad 124, on an insulator layer 122, selection etching of the insulator layer 128 is carried out between the 2nd layer so that the predetermined portion of 1st conductivity pad 124 front face may be exposed according to an optical etching process,

after forming the insulator layer 128 between the 2nd layer of the oxide-film quality of the material in the thickness of 15000-17000Å and carrying out flattening of this, and the 1st beer hall 126 is formed in an insulator layer 128.

[0037] Henceforth, between the 2nd layer which included the 1st beer hall 126, after forming conductive matter, such as W (tungsten), aluminum alloy, and Cu alloy, by CVD on an insulator layer 128, flattening of this is carried out according to a CMP process, and the 1st conductivity plug 127 is formed in the 1st beer hall 126. When the conductive plug 127 is formed by W at this time, in order to raise a membranous vacuum evaporation property, it is good to form further the barrier-metal film (not shown) of Ti/TiN cascade-screen structure in the 1st beer hall 126.

[0038] As the 2nd phase, as shown in drawing 16, the 2nd conductivity pad 130 of structure extended [between the 2nd layer] by the predetermined portion on an insulator layer 128 at the longitudinal direction along with the whole surface side outline section of the pad window region 140 by the same method with the 1st phase so that it might connect with the 1st conductivity plug 127 is formed. Also in this case, the 2nd conductivity pad 130 is formed so that it may have width of face (w) of 2.5 micrometers, and the antireflection film (not shown) is formed on the 2nd conductivity pad 130.

[0039] Subsequently, between the 2nd layer which included the 2nd conductivity pad 130, on an insulator layer 128, the insulator layer 134 between the 3rd layer of the oxide-film quality of the material is formed in the thickness of 14000-16000Å, selection etching of the insulator layer 134 is carried out between the 3rd layer so that the predetermined portion of 2nd conductivity pad 130 front face may be exposed according to an optical etching process, and the 2nd beer hall 132 is

formed in an insulator layer 134.

[0040] Subsequently, between the 3rd layer which included the 2nd beer hall 132, the conductive matter which uses CVD and consists of W, an aluminum alloy, and a Cu alloy on an insulator layer 134 is formed, flattening of this is carried out according to a CMP process, and the 2nd conductivity plug 133 is formed in the 2nd beer hall 132. When the conductive plug 133 is formed by W also in this case, in order to raise a membraneous vacuum evaporation property, it is good to form further the barrier-metal film (not shown) of Ti/TiN cascade-screen structure in the 2nd beer contact hole 132 interior.

[0041] As the 3rd phase, as shown in drawing 17, the 3rd conductivity pad 136 which the antireflection film possessed by the same method as the process it was indicated between the 3rd layer that connected with the 2nd conductivity plug 133 to the predetermined portion on an insulator layer 134 in the 1st phase is formed. Subsequently, between the 3rd layer which included the 3rd conductivity pad 136 so that the predetermined portion of 3rd conductivity pad 136 front face might be exposed, a protective coat 138 is formed on an insulator layer 134, and manufacture of the multilayer pad 100 of the semiconductor device which has a multilayer interconnection is ended.

[0042] Even if it changes bonding into the state of inclining toward one side on the occasion of wirebonding with such structure, without a ball aligning correctly at the central point of the pad window region 140 Since the 1st and the 2nd conductivity pad are formed only in the whole surface side of the pad window region 104 when based on the fourth page of pad window region, the rate of crack initiation of a layer insulation film also decreases [the probability that the conductive pads 124 and 130 will receive stress] to one fourth for a while about to 1/4.

[0043] (II) With reference to the cross section shown in drawing 6, the 2nd operation form is explained below the 2nd operation form. The semiconductor device possessing the multilayer pad shown with this operation form If it removes that buffer-layer 224a of the arbitrary individual which has a mosaic array is further formed on any one film at least in insulator layers 222 and 228 between the 1st of the pad window region 240 lower part, and the 2nd layer, since all are the same as that of the 1st operation form also also structurally in manufacturing process Here, only a different point from the 1st operation form is explained simple.

[0044] Although the structure where buffer-layer 224a of an arbitrary individual was further formed only on the insulator layer 222 between the 1st layer is illustrated for convenience by drawing 6, as already explained, buffer-layer 224a can be formed also on an insulator layer 228 between the 2nd layer.

[0045] Between the 1st and the 2nd layer, on an insulator layer 222,228, at this time, buffer-layer 224a can also be formed so that it may have the mosaic array structure same to mutual. Moreover, between the 1st and the 2nd layer, it can also form so that it may have an insulator layer 222 and the array structure where shift mutually zigzag and it is located in it on 228.

[0046] In this case, the interval b between two buffer-layers 224a by which buffer-layer 224a adjoined mutually is 0.7-0.8 micrometers, it is formed so that each may have width of face a of 0.4-0.6 micrometers, and it is formed between the 1st or the 3rd layer with the matter of a different kind distinguished from insulator layers 222, 228, and 234, for example, aluminum alloy, Cu alloy, and contest polysilicon.

[0047] Drawing 7 is the plan which looked at the semiconductor device which the multilayer pad shown in drawing 6

possessed from the top. When it explains with reference to drawing 7, it turns out that the pad window region 240 is formed in a rectangle, and it is formed in the pad window region 240 lower part with the 3rd conductivity pad 236 and buffer-layer 224a of an arbitrary individual. It is possible to make the 1st and the 2nd beer hall 232 and 226 into edge array structure and a bar form also in this case.

[0048] Here, drawing 6 is what showed the cross-section structure which cut the I-I portion of drawing 7, sign 220a shows the pad formation section, and sign 200b shows the connection section between a cell and the pad formation section.

[0049] And the semiconductor device possessing the multilayer pad of the aforementioned structure is manufactured through the following three-stage. This is explained with reference to the cross section according to process shown in drawing 18 or drawing 20. Here, the premise that a buffer layer is formed only on an insulator layer 222 between the 1st layer as an example explains a process.

[0050] As the 1st phase, as shown in drawing 18, after forming the insulator layer 222 between the 1st layer with a thickness of 9000-12000Å on a field oxide film, a transistor, and the semiconductor substrate 220 that the capacitor possessed and carrying out flattening, the 1st conductivity pad 224 of a configuration extended by the longitudinal direction along with the whole surface side outline section of the pad window region 240 on it and buffer-layer 224a of an arbitrary individual are formed. At this time, buffer-layer 224a and the 1st conductivity pad 224 are formed based on the design rule mentioned above. It is good to form simultaneously with the 1st conductivity pad 224, when it is going to form buffer-layer 224a with the same quality of the material as the 1st conductivity pad 224, and when it is going to form according to the quality of the material distinguished

from an insulator layer 222 between the 1st layer, for example, conductive matter like contest polysilicon, it is good to form through a special film vacuum evaporation process and an optical etching process. Subsequently, between the 1st layer which included the 1st conductivity pad 224, between the 2nd layer which the 1st beer hall 226 possessed so that the predetermined portion of conductive pad 224 front face might be exposed on an insulator layer 222, an insulator layer 228 is formed in the thickness of 15000-17000Å, and the 1st conductivity plug 227 of W, aluminum alloy, and the quality of Cu alloy is formed in the 1st beer hall 226. At this time, when the 1st conductivity plug 227 is formed by W, in order to raise a membraneous vacuum evaporation property, it is good to form further the barrier-metal film (not shown) of Ti/TiN cascade-screen structure in the 1st beer contact hole 126.

[0051] As the 2nd phase, as shown in drawing 19, the 2nd conductivity pad 230 of a configuration extended by the longitudinal direction along with the whole surface side outline section of the pad window region 240 by the same method as the process shown in the predetermined portion on an insulator layer 228 in the 1st phase of the above between the 2nd layer is formed so that it may connect with the 1st conductivity plug 227. Subsequently, between the 2nd layer which included the 2nd conductivity pad 230, between the 3rd layer which the 2nd beer hall 232 possessed so that the predetermined portion of 2nd conductivity pad 230 front face might be exposed on an insulator layer 228, an insulator layer 234 is formed in the thickness of 14000-16000Å, and the 2nd conductivity plug 233 of W, aluminum alloy, and the quality of Cu alloy is formed in the 2nd beer hall 232. When the conductive plug 233 is formed by W also in this case, in order to raise a membraneous vacuum evaporation property, it is good to form

further the barrier-metal film (not shown) of Ti/TiN cascade-screen structure in the 2nd beer contact hole 232.

[0052] As the 3rd phase, as shown in drawing 20, the 3rd conductivity pad 236 is formed in the predetermined portion on an insulator layer 234 between the 3rd layer so that it may connect with the 2nd conductivity plug 233, a protective coat 238 is formed on the predetermined portion of the 3rd conductivity pad 236, and the insulator layer 234 between the 3rd layer, and manufacture of the multilayer pad 200 of a semiconductor device is ended so that the predetermined portion of conductive pad 236 front face may be exposed.

[0053] Since the stress added from the outside can be distributed by buffer-layer 224a when going on a process so that it may have such structure, crack initiation can be reduced. A layer insulation film and a buffer layer are the matter with which media differ mutually, and this is because the role which the absorption grades of stress differ and this makes ease stress is performed.

[0054] (III) With reference to the cross section shown in drawing 8, the 3rd operation form is explained below the 3rd operation form. These operation forms are the 1st and 2nd operation form and technology differentiated at the point of forming a multilayer pad on connection section (henceforth 2nd field) 300b connected with pad formation section (henceforth 1st field) 300a, and the cell formation section (henceforth the 3rd field) (not shown). Thus, a multilayer pad is formed in the connection section for opening the conductive pad and layer insulation film which make a bonding pad from external stress at the time of wirebonding or evaluation of an electric property.

[0055] According to drawing 8, the semiconductor device possessing the multilayer pad of the 3rd operation form of this invention is constituted as follows

greatly. An insulator layer 322 is formed in the 1st or 3rd field on a field oxide film, a transistor, and the semiconductor substrate 320 that the capacitor possessed between the 1st layer, and the 1st conductivity pad 324 is formed in 2nd field 300b on an insulator layer 322 between the 1st layer. Between the 1st layer which included the 1st conductivity pad 324, between the 2nd layer which the 1st beer hall 326 possessed so that the predetermined portion of conductive pad 324 front face might be exposed on an insulator layer 322, an insulator layer 328 is formed and the 1st conductivity plug 327 is formed in the 1st beer hall 326. Between the 2nd layer, the 2nd conductivity pad 330 is formed in 2nd field 300b on an insulator layer 328 so that it may connect with the 1st conductivity plug 327 electrically. An insulator layer 334 is formed between the 2nd layer which included the 2nd conductivity pad 330 between the 3rd layer which the 2nd beer hall 332 possessed so that the predetermined portion of 2nd conductivity pad 330 front face might be exposed on an insulator layer 328. It migrates to the 1st on an insulator layer 334, and the 2nd field between the 3rd layer, and the 3rd conductivity pad 336 electrically connected with the 2nd conductivity plug 333 is formed, and between the 3rd layer which included the 3rd conductivity pad 336, a protective coat 338 is formed so that the predetermined portion of 3rd conductivity pad 336 front face may be exposed on an insulator layer 334. Here, the outcrop of 3rd conductivity pad 336 front face shows the pad window region 340 to which wirebonding of a conductive pad and the lead is carried out at the time of future package manufactures. [0056] Drawing 9 is the plan which looked at the semiconductor device which the multilayer pad of drawing 8 possessed from the top. That is, it turns out that the pad window region 340 is formed in the right direction at 1st field 300a on a

semiconductor substrate, and the 1st and the 2nd conductivity pads 324 and 330 are electrically connected by the conductive plug by 2nd field 300b on a semiconductor substrate.

[0057] Although it is manufactured so that drawing 9 may show the 1st and the 2nd beer hall 326 and 332 at this time, and it may have a bar form, a beer contact hole is manufactured in a bar form in this way for making the contact area of a beer contact hole increase, and decreasing contact resistance.

[0058] And depending on the case, although the 1st and the 2nd beer contact holes 326 and 332 shift in the zigzag direction mutually within the insulator layer 328 between the 2nd layer, and the insulator layer 334 between the 3rd layer and it is formed with the aforementioned plan, you may form between the 2nd and the 3rd layer so that the 1st and the 2nd beer hall 326 and 332 may be mutually located on a straight line within an insulator layer 328 and 334.

[0059] Here, drawing 8 shows the cross-section structure which cut the I-I portion of drawing 9, and, in sign 300a, the pad formation section of the 1st field and sign 300b show the connection section between the cell of the 2nd field, and the pad formation section. And the semiconductor device possessing the multilayer pad of the aforementioned structure is manufactured through the following three-stage. This is explained with reference to the cross section according to process shown in drawing 21 or drawing 23.

[0060] the [on the semiconductor substrate 320 which the field oxide film, the transistor, and the capacitor possessed as shown in drawing 21 as the 1st phase / the 1st or] -- on 3 fields, after forming and carrying out flattening of the insulator layer 322 between the 1st layer with a thickness of 9000-12000Å, aluminum alloy or the conductive film of the quality of Cu

alloy is formed all over the at the thickness of 5500-6500Å And the antireflection film (not shown) of TiN or a Ti/TiN laminated structure is formed on this conductive film at the thickness of 200-350Å. Subsequently, selection etching of the conductive film is carried out so that insulator layer 322 between the 1st layer of 1st field (pad formation section) 300a front face may be exposed. Consequently, the 1st conductivity pad 324 is formed only in the 2nd field on an insulator layer 322 between the 1st layer. Subsequently, between the 1st layer which included the 1st conductivity pad 324, on an insulator layer 322, selection etching of the insulator layer 328 is carried out between the 2nd layer, and the 1st beer hall 326 is formed in an insulator layer 328 so that an optical etching process may be given after forming and carrying out flattening of the insulator layer 328 between the 2nd layer of the oxide-film quality of the material to the thickness of 15000-17000Å, and the predetermined portion of the 1st conductivity pad 324 aforementioned front face may be exposed. Henceforth, between the 2nd layer which included the 1st beer hall 326, conductive matter, such as W, aluminum alloy, and Cu alloy, is formed by CVD on an insulator layer 328, a CMP process is given, flattening of this is carried out, and the 1st conductivity plug 327 is formed in the 1st beer hall 326. When the aforementioned conductive plug 327 is formed by W at this time, in order to raise a membrane vacuum evaporation property, it is good to form further the barrier-metal film (not shown) of Ti/TiN cascade-screen structure in the aforementioned 1st beer contact hole 326.

[0061] As the 2nd phase, as shown in drawing 22, the 2nd conductivity pad 330 is formed by the same method as the process shown to 2nd field 300b on an insulator layer 328 that it connects with the 1st conductivity plug 327 electrically in the 1st phase between the 2nd layer.

Subsequently, after forming and carrying out flattening of the insulator layer 334 between the 3rd layer of the oxide-film quality of the material to the thickness of 14000-16000Å on an insulator layer 328 between the 2nd layer which included the 2nd conductivity pad 330, Carry out selection etching of the insulator layer 334 between the 3rd layer, and the 2nd beer hall 332 is formed in an insulator layer 334 so that an optical etching process may be given and the predetermined portion of 2nd conductivity pad 330 front face may be exposed. The 2nd conductivity plug 333 of W, aluminum alloy, and the quality of Cu alloy is formed in this 2nd beer hall 332. When the conductive plug 333 is formed by W also in this case, in order to raise a membranous vacuum evaporation property, it is the 2nd beer contact hole 332. It is good to form further the barrier-metal film (not shown) of Ti/TiN cascade-screen structure inside.

[0062] As the 3rd phase, as shown in drawing 23, aluminum alloy or the conductive film of the quality of Cu alloy is formed in the 1st or 3rd field on an insulator layer 334 between the 3rd layer at the thickness of 5500-6500Å, and the antireflection film (not shown) of TiN or a Ti/TiN laminated structure is formed on it at the thickness of 200-350Å so that it may connect with the 2nd conductivity plug 333 electrically. Subsequently, selection etching of an antireflection film and the conductive film is carried out so that the predetermined portion of insulator layer 334 between the 3rd layer of the insulator layer 334 between the 3rd layer and 2nd field 300b of 1st field 300a front face may be exposed. Consequently, the 3rd conductivity pad 336 of the conductive film quality of the material is formed over the 1st on an insulator layer 334, and the predetermined portion of the 2nd field 300a and 300b between the 3rd layer. Then, between the 3rd layer which included the 3rd conductivity pad 336 so that the

predetermined portion of 3rd conductivity pad 336 front face might be exposed, a protective coat 338 is formed on an insulator layer 334, and manufacture of the multilayer pad 300 of the semiconductor device which has a multilayer interconnection is ended.

[0063] When going on so that it may have such a process, at the time of probing for the characterization of the time of wirebonding, or a product, the pad formation section is wide opened from external stress, crack initiation can be minimized, and there is an advantage that the contact area of the 1st and the 2nd beer contact holes 326 and 332 becomes large, and contact resistance can moreover be decreased.

[0064] (IV) With reference to the cross section shown in drawing 10, the 4th operation form is explained below the 4th operation form. That is, as illustrated, the semiconductor device possessing the multilayer pad of the 4th operation form of this invention is constituted as follows greatly.

[0065] An insulator layer 422 is formed between the 1st layer on a field oxide film, a transistor, and the semiconductor substrate 420 that the capacitor possessed, and the 1st conductivity pad 424 which two or more penetration holes h possessed is formed in a center section between this 1st layer at the pad formation section on an insulator layer 422. Between the 1st layer which included this 1st conductivity pad 424, between the 2nd layer which the 1st beer hall 426 possessed so that the predetermined portion of 1st conductivity pad 424 front face of pad window region 440 outline might be exposed on an insulator layer 422, an insulator layer 428 is formed and the 1st conductivity plug 427 is formed in the 1st beer hall 426.

[0066] Between the 2nd layer, on an insulator layer 428, it is formed so that the 2nd conductivity pad 430 of a closed-contour form with which the wide

penetration hole was formed in the center section may be connected with the 1st conductivity plug 427, and an insulator layer 434 is formed between the 2nd layer which included the 2nd conductivity pad 430 between the 3rd layer which the 2nd beer hall 432 possessed so that the predetermined portion of 2nd conductivity pad 430 front face might be exposed on an insulator layer 428. The 2nd conductivity plug 433 is formed in the 2nd beer hall 432. The 3rd conductivity pad 436 electrically connected with the 2nd conductivity plug 433 is formed in the predetermined portion on an insulator layer 434 between the 3rd layer, and between the 3rd layer which included the 3rd conductivity pad 436, a protective coat 438 is formed so that the predetermined portion of 3rd conductivity pad 436 front face may be exposed on an insulator layer 434. Here, the surface outcrop of the 3rd conductivity pad 436 shows the pad window region 440.

[0067] At this time, the conductive film 424a interval c between two penetration holes h which carried out mutual contiguity is 1-2 micrometers, the penetration hole h formed in the 1st conductivity pad 424 is formed so that each may have width of face d of 2-6 micrometers, and the 1st conductivity pad 424 of a portion connected with the 1st conductivity plug 427 is formed so that it may have width of face w of 2-5 micrometers.

[0068] Drawing 11 and drawing 12 are the plans which looked at the semiconductor device which the multilayer pad of drawing 10 possessed from the top. It is the plan having shown the semiconductor device structure in the state where the 1st conductivity pad 424 and the formation process of the insulator layer 428 between the 2nd layer ended drawing 11 here, and drawing 12 is the plan having shown the semiconductor device structure in the state where the 2nd conductivity pad 430 and the formation process of the insulator layer

434 between the 3rd layer were ended.

[0069] If it explains with reference to the aforementioned plan, the wirebonding field 440 will be formed in a rectangle and the 3rd conductivity pad 436 and 1st conductivity pad 424a will be formed in the pad window region 440 aforementioned lower part. Also in this case, the 1st and the 2nd beer hall 426 and 432 can apply all the edge array structures and bar forms.

[0070] Thus, the 1st conductivity pad 424 is formed for preventing the dee SHINGU (dishing) phenomenon of a layer insulation film in which metal density (metal density) originates in the level difference problem generated in a high portion and the portion which is not so, and is caused between conductive pads at the time of advance of the flattening process of a layer insulation film so that the conductive pad displayed on the pad window region 440 lower part by sign 424a may be placed. And with the aforementioned plan, although it shifts mutually and is formed, depending on the case, you may form between the 2nd and the 3rd layer zigzag [the 1st and the 2nd beer hall 426 and 432] within the insulator layer 428 between the 2nd layer, and the insulator layer 434 between the 3rd layer so that the 1st and the 2nd beer hall 426 and 432 may be mutually located on a straight line within an insulator layer 428 and 434.

[0071] Here, drawing 8 is what showed the cross-section structure which cut drawing 11 and the I-I portion of drawing 12, sign 400a shows the pad formation section, and sign 400b shows the connection section between a cell and the pad formation section.

[0072] And the semiconductor device possessing the multilayer pad of the aforementioned structure is manufactured through the 3rd following phase. This is explained with reference to the cross section according to process shown in drawing 24 or drawing 26.

[0073] As the 1st phase, as shown in

drawing 24 , after forming and carrying out flattening of the insulator layer 422 between the 1st layer with a thickness of 9000-12000A, aluminum alloy or the conductive film of the quality of Cu alloy is formed all over the at the thickness of 5500-6500A on a field oxide film, a transistor, and the semiconductor substrate 420 that the capacitor possessed. Subsequently, on this conductive film, the antireflection film (not shown) of TiN or Ti/TiN cascade-screen structure is formed in the thickness of 200-350A, an optical etching process is given, predetermined partial selection etching of an antireflection film and the conductive film is carried out, and two or more penetration holes h are formed in the center section of the conductive film. Consequently, the 1st conductivity pad 424 of the structure where two or more penetration holes h were formed in the center section is formed. Subsequently, between the 1st layer which included the 1st conductivity pad 424, on an insulator layer 422, the insulator layer 428 between the 2nd layer of the oxide-film quality of the material is formed in the thickness of 15000-17000A, selection etching of the insulator layer 428 is carried out between the 2nd layer so that the predetermined portion of the edge section (outline section of pad window region 440) front face of the 1st conductivity pad 424 may be exposed, and the 1st beer hall 426 is formed in an insulator layer 428. Henceforth, between the 2nd layer which included the 1st beer hall 426, after forming conductive matter, such as W, aluminum alloy, and Cu alloy, by CVD on an insulator layer 428, flattening of this is carried out according to a CMP process, and the 1st conductivity plug 427 is formed in the 1st beer hall 426. When the conductive plug 427 is formed by W, in order to raise a membraneous vacuum evaporation property at this time, it is good to form further the barrier-metal film (not shown) of Ti/TiN cascade-screen

structure in the 1st beer contact hole 426. [0074] As the 2nd phase, as shown in drawing 25 , it forms so that the 2nd conductivity pad 430 of a closed-contour form which the wide penetration hole possessed in the center section in the predetermined portion on an insulator layer 428 may be connected with the 1st conductivity plug 427 between the 2nd layer. After forming and carrying out flattening of the insulator layer 434 to the thickness of 14000-16000A between the 3rd layer on an insulator layer 428 between the 2nd layer which ranked next and included the 2nd conductivity pad 430, Selection etching of the insulator layer 434 is carried out between the 3rd layer, and the 2nd conductivity plug 433 is formed in the 2nd beer hall 432 by the same method as the process which formed and mentioned the 2nd beer hall 432 above in the insulator layer 434 so that the predetermined portion of 2nd conductivity pad 430 front face may be exposed. As the 3rd phase, as shown in drawing 26 , aluminum alloy or the 3rd conductivity pad 436 of the quality of Cu alloy is formed so that it may connect with the predetermined portion on an insulator layer 434 with the 2nd conductivity plug 432 between the 3rd layer. Between the 3rd layer which included the 3rd conductivity pad 436 so that the predetermined portion of 3rd conductivity pad 436 front face might be exposed, a protective coat 438 is formed on an insulator layer 434, and manufacture of the multilayer pad 400 of the semiconductor device which has a multilayer interconnection is ended.

[0075] When going on a process so that it may have such structure, at the time of probing for evaluating the property of the time of wirebonding, or a product, the stress added from the outside can be distributed and crack initiation can be reduced notably.

[0076] (V) With reference to the cross section shown in drawing 13 , the 5th

operation form is explained below the 5th operation form. According to drawing 13, the semiconductor device possessing the multilayer pad of the 5th operation form of this invention has the next composition greatly.

[0077] An insulator layer 522 is formed between the 1st layer on a field oxide film, a transistor, and the semiconductor substrate 520 that the capacitor possessed. The 1st conductivity pad 524 is formed in the pad formation section on an insulator layer 522 between this 1st layer. Between the 1st layer which included this 1st conductivity pad 524, between the 2nd layer which the beer hall 526 possessed so that the predetermined portion of conductive pad 524 front face might be exposed on an insulator layer 522, an insulator layer 528 is formed and the conductive plug 527 is formed in a beer hall 526. Subsequently, the 2nd conductivity pad 530 is formed so that it may connect with the predetermined portion on an insulator layer 528 with the conductive plug 527 between the 2nd layer, and between the 2nd layer which included this 2nd conductivity pad 530, while [the 3rd layer] the wide beer hall 532 was formed so that the predetermined portion of 2nd conductivity pad 530 front face might be exposed on an insulator layer 528, an insulator layer 534 is formed. Between the 3rd layer which included the wide beer hall 532, the 3rd conductivity pad 536 is formed in the predetermined portion on an insulator layer 534, and between the 3rd layer which included the 3rd conductivity pad 536, a protective coat 538 is formed so that the predetermined portion of 3rd conductivity pad 536 front face may be exposed on an insulator layer 534. Here, the surface outcrop of the 3rd conductivity pad 536 shows the pad window region 540 to which wirebonding of a conductive pad and the lead is henceforth carried out at the time of package manufacture.

[0078] Drawing 14 is the plan of a

semiconductor device which the multilayer pad of drawing 13 possessed. namely, as shown in drawing 14, the pad window region 540 is formed in the center section of the 3rd conductivity pad 536 in the right direction -- having -- the lower part -- the [the 1st or] -- 3 conductivity pads 524, 530, and 536 are formed

[0079] Although the layout arrangement on the front face of the beer halls 526 and 532 with which the 1st and the 2nd conductivity pads 524 and 530 are made to connect electrically is applicable to various forms at this time, as it is shown in drawing 14, it can also form so that it may have edge array structure, and although not illustrated, it can also form so that it may have a bar form.

[0080] Here, drawing 13 is the cross section which cut the I-I portion of drawing 14, and, in sign 500a, pad formation section and sign 500b shows the connection section between a cell and the pad formation section.

[0081] And the semiconductor device possessing the multilayer pad of the aforementioned structure is manufactured through the 3rd following phase. This is explained with reference to the cross section according to process shown in drawing 27 or drawing 29.

[0082] As the 1st phase, as shown in drawing 27, after forming and carrying out flattening of the insulator layer 522 between the 1st layer with a thickness of 9000-11000Å, aluminum alloy or the conductive film of the quality of Cu alloy is formed all over the at the thickness of 5500-6500Å on a field oxide film, a transistor, and the semiconductor substrate 520 that the capacitor possessed. Subsequently, the antireflection film (not shown) of TiN or Ti/TiN cascade-screen structure is formed on a conductive film at the thickness of 200-350Å, an antireflection film and a conductive film are etched and the 1st conductivity pad 524 is formed so that the predetermined

portion of insulator layer 522 front face may be exposed between the 1st layer according to an optical etching process. Subsequently, after forming and carrying out flattening of the insulator layer 528 between the 2nd layer of the oxide-film quality of the material to the thickness of 15000-17000Å on an insulator layer 522 between the 1st layer which included the 1st conductivity pad 524, Selection etching of the insulator layer 528 is carried out between the 2nd layer, and a beer hall 526 is formed in an insulator layer between the 2nd layer so that the predetermined portion of the edge section (outline section of pad window region 540) front face of the 1st conductivity pad 524 may be exposed according to an optical etching process.

[0083] Subsequently, between the 2nd layer which included the beer hall 526, conductive matter, such as W, aluminum alloy, and Cu alloy, is formed by CVD on an insulator layer 528, a CMP process is given, flattening of this is carried out, and the conductive plug 527 is formed in a beer hall 526. At this time, when the conductive plug 527 is formed by W, in order to raise a membranous vacuum evaporation property, it is good to form further the barrier-metal film (not shown) of Ti/TiN cascade-screen structure in a beer hall 526.

[0084] As the 2nd phase, as shown in drawing 28, aluminum alloy or the 2nd conductivity pad 530 of the quality of Cu alloy is formed so that it may connect with the predetermined portion on an insulator layer 528 with the conductive plug 527 between the 2nd layer. After forming and carrying out flattening of the insulator layer 534 between the 3rd layer of the oxide-film quality of the material to the thickness of 14000-16000Å all over the, An insulator layer 534 is etched between the 3rd layer, and the wide beer hall 532 is formed in an insulator layer 534 so that predetermined partial exposure of the center section of the 2nd conductivity pad 530 may be carried out. The 2nd

conductivity pad 530 is formed in the same size as the 1st conductivity pad 524 at this time. In addition, other process conditions are the same as the 1st phase.

[0085] As the 3rd phase, as shown in drawing 29, between the 3rd layer which included the wide beer hall 532, aluminum alloy or the 3rd conductivity pad 536 of the quality of Cu alloy is formed in the predetermined portion on an insulator layer 534 with the 1st phase at the same process conditions, a protective coat 538 is formed all over the so that the predetermined portion on the front face of a center section of the conductive pad 536 may be exposed, and manufacture of the multilayer pad 500 of the semiconductor device which has a multilayer interconnection is ended.

[0086] When going on a process so that it may have such structure, it originates in the 2nd conductivity pad 530 formed in the 3rd conductivity pad 536 lower part. The effect that pad thickness of the portion in which wirebonding is made can be made thick enough is acquired. Even if stress is added to a pad at the time of probing for the characterization of a product, or wirebonding, it minimizes that a crack occurs on deformation of a pad and a layer insulation film, and it is effective in process advance being easy and costs being reduced rather than the case of the 1st or 4th operation gestalt.

[0087] At this time, the multilayer pad structure of a semiconductor device shown with the 1st of this invention or the 5th operation gestalt is applicable similarly also at the time of manufacture of the semiconductor device which requires four layers and five-layer wiring structure out of the semiconductor device which has the three-layer wiring structure where it already explained.

[0088] And the multilayer pad shown by this invention is set in each operation gestalt as an example of a changed completely type of the 1st or 5th operation

gestalt. The insulator layer between the 4th layer which the wide beer hall possessed between the 3rd layer which included the 3rd conductivity pad so that predetermined partial exposure of the front face of a conductive pad might be carried out on an insulator layer, It can also manufacture so that it may have the 4th conductivity pad connected with the 3rd conductivity pad through a wide beer hall, and the structure ^{**}(ed) and also formed.

[0089] the [in this case, / which the wide beer hall carried out before a protective coat formation process possessed / the insulator layer formation process between the 4th layer, and] -- since 4 conductivity pad formation process advances like an above-mentioned process (for example, the 2nd of the 5th operation gestalt, the 3rd phase process), the explanation is omitted [0090] As mentioned above, although this invention was concretely explained based on the gestalt of operation, this invention is not limited to this but comes out in the technical thought of this invention.

[0091]

[Effect of the Invention] Even if it changes the bonding of the gold ball into the state of inclining toward one side, without aligning correctly at the central point of a bonding field, by this invention at the time of wirebonding since the 1st and the 2nd beer contact hole are formed only in the whole surface side outline section of a wirebonding field as explained above, the frequency of the crack initiation in an insulating layer can be reduced about by 1/4 rather than existing.

[0092] Moreover, since a beer contact hole is formed in the connection line of the cell formation section and the pad formation section, while a bonding pad is wide opened from external stress and being able to minimize crack initiation, the effect of contact resistance reduction is acquired by the beer hall of a bar form.

[0093] Moreover, it becomes possible to distribute the stress added to a pad from

the exterior at the time of probing for evaluating the property of the time of wirebonding, or a product, and the crack initiation of an insulator layer can be reduced notably.

[0094] The effect of making thick enough thickness of the final pad (final pad) of a wirebonding field can be acquired without being accompanied by the difficulty on process advance according to the laminating effect of the 2nd and the 3rd conductivity pad, and, moreover, minimization and the cost saving effect of the crack initiation of a layer insulation film can be acquired simultaneously.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross section showing the structure of the semiconductor device possessing the multilayer pad by the 1st operation gestalt of this invention.

[Drawing 2] It is the plan of drawing 1 applicable to the 1st operation gestalt.

[Drawing 3] It is the plan of drawing 1 applicable to the 1st operation gestalt.

[Drawing 4] It is the plan of drawing 1 applicable to the 1st operation gestalt.

[Drawing 5] It is the plan of drawing 1 applicable to the 1st operation gestalt.

[Drawing 6] It is the cross section showing the semiconductor device possessing the multilayer pad by the 2nd operation gestalt of this invention.

[Drawing 7] It is the cross section of drawing 3.

[Drawing 8] It is the cross section showing the structure of the semiconductor device possessing the multilayer pad by the 3rd operation gestalt of this invention.

[Drawing 9] It is the plan of drawing 5.

[Drawing 10] It is the cross section showing the structure of the semiconductor device possessing the multilayer pad by the 4th operation gestalt of this invention.

[Drawing 11] It is the plan of drawing 7.

[Drawing 12] It is the plan of drawing 7.

[Drawing 13] It is the cross section showing the structure of the semiconductor device possessing the multilayer pad by the 5th operation gestalt of this invention.

[Drawing 14] It is the plan of drawing 9.

[Drawing 15] It is drawing showing the manufacture method of the semiconductor device possessing the multilayer pad by the 1st operation gestalt of this invention.

[Drawing 16] It is drawing showing the manufacture method of the semiconductor device possessing the multilayer pad by the 1st operation gestalt of this invention.

[Drawing 17] It is drawing showing the manufacture method of the semiconductor device possessing the multilayer pad by the 1st operation gestalt of this invention.

[Drawing 18] It is drawing showing the manufacture method of the semiconductor device possessing the multilayer pad by the 2nd operation gestalt of this invention.

[Drawing 19] It is drawing showing the manufacture method of the semiconductor device possessing the multilayer pad by the 2nd operation gestalt of this invention.

[Drawing 20] It is drawing showing the manufacture method of the semiconductor device possessing the multilayer pad by the 2nd operation gestalt of this invention.

[Drawing 21] It is drawing showing the manufacture method of the semiconductor device possessing the multilayer pad by the 3rd operation gestalt of this invention.

[Drawing 22] It is drawing showing the manufacture method of the semiconductor device possessing the multilayer pad by the 3rd operation gestalt of this invention.

[Drawing 23] It is drawing showing the manufacture method of the semiconductor device possessing the multilayer pad by the 3rd operation gestalt of this invention.

[Drawing 24] It is drawing showing the manufacture method of the semiconductor device possessing the multilayer pad by the 4th operation gestalt of this invention.

[Drawing 25] It is drawing showing the manufacture method of the semiconductor device possessing the multilayer pad by the

4th operation gestalt of this invention.

[Drawing 26] It is drawing showing the manufacture method of the semiconductor device possessing the multilayer pad by the 4th operation gestalt of this invention.

[Drawing 27] It is drawing showing the manufacture method of the semiconductor device possessing the multilayer pad by the 5th operation gestalt of this invention.

[Drawing 28] It is drawing showing the manufacture method of the semiconductor device possessing the multilayer pad by the 5th operation gestalt of this invention.

[Drawing 29] It is drawing showing the manufacture method of the semiconductor device possessing the multilayer pad by the 5th operation gestalt of this invention.

[Drawing 30] It is the cross section showing the structure of the semiconductor device possessing the conventional multilayer pad.

[Drawing 31] It is the plan of drawing 30.

[Description of Notations]

120 221,320,420,520 Semiconductor substrate

122 222,322,422,522 Insulator layer between the 1st layer

124 224,324,424,524 The 1st conductivity pad

126 226,326,426,526 The 1st beer hall

127 227,327,427,527 The 1st conductivity plug

128 228,328,428,528 Insulator layer between the 2nd layer

130 230,330,430,530 The 2nd conductivity pad

132 232,332,432,532 The 2nd beer hall

133 233,333,433,533 The 2nd conductivity plug

134 234,334,434,534 Insulator layer between the 3rd layer

136 236,336,436,536 The 3rd conductivity pad

138 238,338,438,538 Protective coat

140 240,340,440,540 Pad window region

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-186320

(43)公開日 平成11年(1999)7月9日

(51)Int.Cl.⁶ 識別記号
H 0 1 L 21/60 3 0 1
21/3205
23/12
// H 0 1 L 21/60

F I
H 0 1 L 21/60 3 0 1 P
21/88 T
23/12 N
21/92 6 0 2 J
6 0 4 R

審査請求 未請求 請求項の数62 O L (全 20 頁)

(21)出願番号 特願平10-59315
(22)出願日 平成10年(1998)3月11日
(31)優先権主張番号 1 9 9 7 P - 6 6 9 1 8
(32)優先日 1997年12月9日
(33)優先権主張国 韓国 (K R)

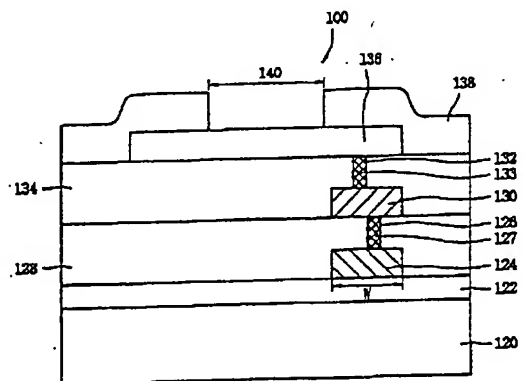
(71)出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅森洞416
(72)発明者 李 承 ▲録▼
大韓民国京畿道龍仁市器興邑農書里山7-1
常▲録▼樹棟506号
(72)発明者 金 明 聖
大韓民国ソウル市永登浦区楊平洞5 街翰
信アパート107棟1402号
(74)代理人 弁理士 萩原 誠

(54)【発明の名称】 多層パッドを具備した半導体素子及びその製造方法

(57)【要約】 (修正有)

【課題】 ボンディングパッドの構造を最適化してクラック発生を最小化させ得る多層パッドを具備した半導体素子及びその製造方法を提供する。

【解決手段】 第1層間絶縁膜122が具備された半導体基板120上にパッド窓領域140の一面側外部部に沿って長く延長された第1導電性パッド124が形成される。第1層間絶縁膜上に第1導電性パッド表面が露出されるように第1ビアホール126が具備された第2層間絶縁膜128が形成され、第1ビアホール内に第1導電性プラグ127が形成される。第2層間絶縁膜上に第1導電性プラグと連結される第2導電性パッド130が形成される。第2導電性パッド表面が露出されるように第2ビアホール132が具備された第3層間絶縁膜134が形成され、第2ビアホール内に第2導電性プラグ133が形成される。第3層間絶縁膜上に第2導電性プラグと連結されるように第3導電性パッド136が形成される。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された第1層間絶縁膜と、

この第1層間絶縁膜上の所定部分に形成され、パッド窓領域の一面側外郭部に沿って長く延長された形状の第1導電性パッドと、

この第1導電性パッドを包含した前記第1層間絶縁膜上に形成され、前記第1導電性パッド表面の所定部分が露出されるように第1ビアホールが具備された第2層間絶縁膜と、

前記第1ビアホール内に形成された第1導電性プラグと、

この第1導電性プラグと連結されるように前記第2層間絶縁膜上の所定部分に形成され、パッド窓領域の一面側外郭部に沿って長く延長された形状の第2導電性パッドと、

この第2導電性パッドを包含した前記第2層間絶縁膜上に形成され、前記第2導電性パッド表面の所定部分が露出されるように第2ビアホールが具備された第3層間絶縁膜と、

前記第2ビアホール内に形成された第2導電性プラグと、

この第2導電性プラグと連結されるように前記第3層間絶縁膜上の所定部分に形成された第3導電性パッドと、を備えたことを特徴とする多層パッドを具備した半導体素子。

【請求項2】 前記第1乃至第3導電性パッドは、アルミニウム合金又は銅合金からなることを特徴とする請求項1に記載の多層パッドを具備した半導体素子。

【請求項3】 前記第1、第2ビアホールは、エッジアレイ構造を有するか、又はバー形態を有することを特徴とする請求項1又は2のいずれかに記載の多層パッドを具備した半導体素子。

【請求項4】 前記第1、第2導電性プラグは、タングステン、アルミニウム合金又は銅合金の中で選択された何れか一つからなることを特徴とする請求項1乃至3のいずれかに記載の多層パッドを具備した半導体素子。

【請求項5】 前記第1、第2導電性プラグをタングステンで形成する場合、前記第1、第2ビアホール内に第1、第2障壁金属膜をさらに形成することを特徴とする請求項4に記載の多層パッドを具備した半導体素子。

【請求項6】 前記第1、第2障壁金属膜は、チタン/窒化チタン積層構造を有することを特徴とする請求項5に記載の多層パッドを具備した半導体素子。

【請求項7】 前記第1乃至第3導電性パッド上に、窒化チタン又はチタン/窒化チタン積層構造の反射防止膜をさらに形成することを特徴とする請求項1乃至6のいずれかに記載の多層パッドを具備した半導体素子。

【請求項8】 前記第1、第2導電性パッドは、2～5μmの幅を有することを特徴とする請求項1乃至7のい

ずれかに記載の多層パッドを具備した半導体素子。

【請求項9】 前記多層パッドを具備した半導体素子は、前記第3導電性パッドの表面が所定部分露出されるようにワイドビアホールが具備された第4層間絶縁膜と第4導電性パッドをさらに包含し、

前記ワイドビアホールが具備された前記第4層間絶縁膜は、前記第3導電性パッドを包含した前記第3層間絶縁膜上に形成され、

前記第4導電性パッドは、前記ワイドビアホールを包含した前記第4層間絶縁膜上の所定部分に形成されることを特徴とする請求項1乃至8のいずれかに記載の多層パッドを具備した半導体素子。

【請求項10】 前記パッド窓領域下部の前記第1、第2層間絶縁膜の中で少なくとも何れか一つの膜上にモザイク配列を有する任意個のバッファ層をさらに形成することを特徴とする請求項1乃至9のいずれかに記載の多層パッドを具備した半導体素子。

【請求項11】 前記バッファ層は、前記第1、第2層間絶縁膜上で相互同様なモザイク配列構造を有するか、又はジグザグ方式にずれて位置する配列構造を有するように形成されることを特徴とする請求項10に記載の多層パッドを具備した半導体素子。

【請求項12】 前記バッファ層は、相互隣接した二つのバッファ層間の間隔は0.7～0.8μmで、それぞれは0.4～0.6μmの幅を有することを特徴とする請求項10又は11のいずれかに記載の多層パッドを具備した半導体素子。

【請求項13】 前記バッファ層は、前記第1乃至第3層間絶縁膜と異種の物質からなることを特徴とする請求項10乃至12のいずれかに記載の多層パッドを具備した半導体素子。

【請求項14】 前記異種の物質は、アルミニウム合金、銅合金、ポリシリコンの中で選択された何れか一つであることを特徴とする請求項13に記載の多層パッドを具備した半導体素子。

【請求項15】 半導体基板上の第1領域であるパッド形成部、第2領域であるセル形成部とパッド形成部とを連結する連結部、及び第3領域であるセル形成部の全面に形成された第1層間絶縁膜と、

この第1層間絶縁膜上の第2領域に形成された第1導電性パッドと、

この第1導電性パッドを包含した前記第1層間絶縁膜上に形成され、前記第1導電性パッド表面の所定部分が露出されるようにバー形状の第1ビアホールが具備された第2層間絶縁膜と、

この第1ビアホール内に形成された第1導電性プラグと、

この第1導電性プラグと連結されるように前記第2層間絶縁膜上の第2領域に形成された第2導電性パッドと、

この第2導電性パッドを包含した前記第2層間絶縁膜上

に形成され、前記第2導電性パッド表面の所定部分が露出されるようにバー形状の第2ビアホールが具備された第3層間絶縁膜と、
前記第2ビアホール内に形成された第2導電性プラグと、
この第2導電性プラグと連結されるように前記第3層間絶縁膜上の第1、第2領域の所定部分に亘って形成された第3導電性パッドと、
を備えたことを特徴とする多層パッドを具備した半導体素子。

【請求項16】 前記第1乃至第3導電性パッドは、アルミニウム合金又は銅合金からなることを特徴とする請求項15に記載の多層パッドを具備した半導体素子。

【請求項17】 前記第1、第2導電性プラグは、タングステン、アルミニウム合金と銅合金の中で選択された何れか一つからなることを特徴とする請求項15又は16のいずれかに記載の多層パッドを具備した半導体素子。

【請求項18】 前記第1、第2導電性プラグをタングステンで形成する場合、前記第1、第2ビアホール内に第1、第2障壁金属膜をさらに形成することを特徴とする請求項17に記載の多層パッドを具備した半導体素子。

【請求項19】 前記第1、第2障壁金属膜は、チタン／窒化チタン積層構造を有することを特徴とする請求項18に記載の多層パッドを具備した半導体素子。

【請求項20】 前記第1乃至第3導電性パッド上に、窒化チタン又はチタン／窒化チタン積層構造の反射防止膜をさらに形成することを特徴とする請求項15乃至19のいずれかに記載の多層パッドを具備した半導体素子。

【請求項21】 前記多層パッドを具備した半導体素子は、前記第3導電性パッド表面の所定部分が露出されるようにワイドビアホールが具備された第4層間絶縁膜と第4導電性パッドをさらに包含し、
前記ワイドビアホールの具備された前記第4層間絶縁膜は、前記第3導電性パッドを包含した前記第3層間絶縁膜上に形成され、
前記第4導電性パッドは、前記ワイドビアホールを包含した前記第4層間絶縁膜上の第1、第2領域所定部分に形成されることを特徴とする請求項15乃至20のいずれかに記載の多層パッドを具備した半導体素子。

【請求項22】 半導体基板上に形成された第1層間絶縁膜と、
この第1層間絶縁膜上に形成され、中央部に複数の貫通ホールが具備された第1導電性パッドと、
この第1導電性パッドを包含した前記第1層間絶縁膜上に形成され、パッド窓領域外郭の前記第1導電性パッド表面の所定部分が露出されるように第1ビアホールが具備された第2層間絶縁膜と、

この第1ビアホール内に形成された第1導電性プラグと、
この第1導電性プラグと連結されるように前記第2層間絶縁膜上に形成され、中央部にワイド貫通ホールが形成された閉曲線形の第2導電性パッドと、
この第2導電性パッドを包含した前記第2層間絶縁膜上に形成され、前記第2導電性パッド表面の所定部分が露出されるように第2ビアホールが具備された第3層間絶縁膜と、

10 前記第2ビアホール内に形成された第2導電性プラグと、
この第2導電性プラグと連結されるように前記第3層間絶縁膜上の所定部分に形成された第3導電性パッドと、
を備えたことを特徴とする多層パッドを具備した半導体素子。

【請求項23】 前記第1乃至第3導電性パッドは、アルミニウム合金又は銅合金からなることを特徴とする請求項22に記載の多層パッドを具備した半導体素子。

20 【請求項24】 前記第1、第2導電性プラグは、タングステン、アルミニウム合金又は銅合金の中で選択された何れか一つからなることを特徴とする請求項22又は23のいずれかに記載の多層パッドを具備した半導体素子。

【請求項25】 前記第1、第2導電性プラグをタングステンで形成する場合、前記第1、第2ビアホール内に第1、第2障壁金属膜をさらに形成することを特徴とする請求項24に記載の多層パッドを具備した半導体素子。

30 【請求項26】 前記第1、第2障壁金属膜は、チタン／窒化チタン積層構造を有することを特徴とする請求項25に記載の多層パッドを具備した半導体素子。

【請求項27】 前記第1乃至第3導電性パッド上に、窒化チタン又はチタン／窒化チタン積層構造の反射防止膜をさらに形成することを特徴とする請求項22乃至26のいずれかに記載の多層パッドを具備した半導体素子。

40 【請求項28】 前記第1導電性パッドに具備された前記貫通ホールは、相互隣接した二つの貫通ホール間の第1導電性パッド間隔は1～2μmで、それぞれは2～6μmの幅を有することを特徴とする請求項22乃至27のいずれかに記載の半導体素子。

【請求項29】 前記第1導電性プラグと連結された部分の前記第1導電性パッドは、2～5μmの幅を有することを特徴とする請求項22乃至28のいずれかに記載の多層パッドを具備した半導体素子。

【請求項30】 前記多層パッドを具備した半導体素子は、前記第3導電性パッド表面の所定部分が露出されるようにワイドビアホールが具備された第4層間絶縁膜と第4導電性パッドをさらに包含し、

50 前記ワイドビアホールの具備された前記第4層間絶縁膜

は、前記第3導電性パッドを包含した前記第3層間絶縁膜上に形成され、

前記第4導電性パッドは、前記ワイドビアホールを包含した前記第4層間絶縁膜上の所定部分に形成されることを特徴とする請求項2乃至29のいずれかに記載の多層パッドを具備した半導体素子。

【請求項31】 半導体基板上に第1層間絶縁膜を形成する工程と、

この第1層間絶縁膜上の所定部分にパッド窓領域の一面側外郭部に沿って長く延長された形状の第1導電性パッドを形成する工程と、

この第1導電性パッドを包含した前記第1層間絶縁膜上に第1ビアホールが具備された第2層間絶縁膜を形成する工程と、

前記第1ビアホール内に第1導電性プラグを形成する工程と、

この第1導電性プラグと連結されるように前記第2層間絶縁膜上の所定部分にパッド窓領域の一面側外郭部に沿って長く延長された形状の第2導電性パッドを形成する工程と、

この第2導電性パッドを包含した前記第2層間絶縁膜上に第2ビアホールが具備された第3層間絶縁膜を形成する工程と、

前記第2ビアホール内に第2導電性プラグを形成する工程と、

この第2導電性プラグと連結されるように前記第3層間絶縁膜上の所定部分に第3導電性パッドを形成する工程と、

を含むことを特徴とする多層パッドを具備した半導体素子の製造方法。

【請求項32】 前記第1乃至第3導電性パッドは、アルミニウム合金又は銅合金で形成することを特徴とする請求項31に記載の多層パッドを具備した半導体素子の製造方法。

【請求項33】 前記第1、第2ビアホールは、エッジアレイ構造又はバー形態に形成することを特徴とする請求項31又は32のいずれかに記載の多層パッドを具備した半導体素子の製造方法。

【請求項34】 前記第1、第2導電性プラグは、タングステン、アルミニウム合金又は銅合金の中で選択された何れか一つで形成することを特徴とする請求項31乃至33のいずれかに記載の多層パッドを具備した半導体素子の製造方法。

【請求項35】 前記第1、第2導電性プラグをタングステンで形成する場合、前記第1、第2ビアホール内に第1、第2障壁金属膜を形成する工程をさらに包含することを特徴とする請求項34に記載の多層パッドを具備した半導体素子の製造方法。

【請求項36】 前記第1、第2障壁金属膜は、チタン／窒化チタン積層構造に形成することを特徴とする請求

項35に記載の多層パッドを具備した半導体素子の製造方法。

【請求項37】 前記第1乃至第3導電性パッドの形成の前、前記それぞれの第1乃至第3導電性パッド上に窒化チタン又はチタン／窒化チタン積層構造の反射防止膜を形成する工程をさらに包含することを特徴とする請求項31乃至36のいずれかに記載の多層パッドを具備した半導体素子の製造方法。

【請求項38】 前記第1、第2導電性パッドは、2～5μmの幅に形成することを特徴とする請求項31乃至37のいずれかに記載の多層パッドを具備した半導体素子の製造方法。

【請求項39】 前記第3導電性パッドを形成する工程の以後、前記第3導電性パッドを包含した前記第3層間絶縁膜上にワイドビアホールが具備された第4層間絶縁膜を形成する工程と、

前記第3導電性パッドと連結されるように前記ワイドビルホールを包含した前記第4層間絶縁膜上の所定部分に第4導電性パッドを形成する工程と、

をさらに包含することを特徴とする請求項31乃至38のいずれかに記載の多層パッドを具備した半導体素子の製造方法。

【請求項40】 前記パッド窓領域下部の前記第1、第2層間絶縁膜の中で少なくとも何れか一つの膜上にモザイク配列を有する任意個のバッファ層をさらに形成することを特徴とする請求項31乃至39のいずれかに記載の多層パッドを具備した半導体素子の製造方法。

【請求項41】 前記バッファ層は、前記第1、第2層間絶縁膜上で同様なモザイク配列構造を有するか又はジグザグ方式にずれて位置するモザイク配列構造を有するように形成することを特徴とする請求項40に記載の多層パッドを具備した半導体素子の製造方法。

【請求項42】 前記バッファ層は、相互隣接した二つのバッファ層間の間隔は0.7～0.8μmで、それぞれは0.4～0.6μmの幅を有するように形成することを特徴とする請求項40又は41のいずれかに記載の多層パッドを具備した半導体素子の製造方法。

【請求項43】 前記バッファ層は、前記第1乃至第3層間絶縁膜と異種の物質で形成することを特徴とする請求項40乃至42のいずれかに記載の多層パッドを具備した半導体素子の製造方法。

【請求項44】 前記異種の物質は、アルミニウム合金、銅合金、ポリシリコンの中で選択された何れか一つであることと特徴とする請求項43に記載の多層パッドを具備した半導体素子の製造方法。

【請求項45】 前記第1導電性プラグを、前記第1ビアホールを包含した前記第2層間絶縁膜の全面に導電性膜を形成する工程と、CMP工程を施して前記導電性膜を平坦化する工程と、を経て形成することを特徴とする請求項31乃至44のいずれかに記載の多層パッドを具

備した半導体素子の製造方法。

【請求項 46】 半導体基板上の第 1 領域であるパッド形成部、第 2 領域であるセル形成部とパッド形成部とを連結する連結部、及び第 3 領域であるセル形成部の全面に第 1 層間絶縁膜を形成する工程と、

この第 1 層間絶縁膜上の第 2 領域に第 1 導電性パッドを形成する工程と、

この第 1 導電性パッドを包含した前記第 1 層間絶縁膜上にバー形状の第 1 ビアホールが具備された第 2 層間絶縁膜を形成する工程と、

この第 1 ビアホール内に第 1 導電性プラグを形成する工程と、

この第 1 導電性プラグと連結されるように前記第 2 層間絶縁膜上の第 2 領域に第 2 導電性パッドを形成する工程と、

この第 2 導電性パッドを包含した前記第 2 層間絶縁膜上にバー形状の第 2 ビアホールが具備された第 3 層間絶縁膜を形成する工程と、

前記第 2 ビアホール内に第 2 導電性プラグを形成する工程と、

この第 2 導電性プラグと連結されるように前記第 3 層間絶縁膜上の第 1、第 2 領域の所定部分に第 3 導電性パッドを形成する工程と、

を含むことを特徴とする多層パッドを具備した半導体素子の製造方法。

【請求項 47】 前記第 1 乃至第 3 導電性パッドを、アルミニウム合金又は銅合金で形成することを特徴とする請求項 46 に記載の多層パッドを具備した半導体素子の製造方法。

【請求項 48】 前記第 1、第 2 導電性プラグを、タングステン、アルミニウム合金又は銅合金の中で選択された何れか一つで形成することを特徴とする請求項 46 又は 47 のいずれかに記載の多層パッドを具備した半導体素子の製造方法。

【請求項 49】 前記第 1、第 2 導電性プラグをタングステンで形成する場合、前記第 1、第 2 ビアホール内に第 1、第 2 障壁金属膜を形成する工程をさらに包含することを特徴とする請求項 48 に記載の多層パッドを具備した半導体素子の製造方法。

【請求項 50】 前記第 1、第 2 障壁金属膜は、チタン／窒化チタン積層膜構造に形成することを特徴とする請求項 49 に記載の多層パッドを具備した半導体素子の製造方法。

【請求項 51】 前記第 1 乃至第 3 導電性パッド形成の前、前記それぞれの第 1 乃至第 3 導電性パッド上に窒化チタン又はチタン／窒化チタン積層構造の反射防止膜を形成する工程をさらに包含することを特徴とする請求項 46 乃至 50 のいずれかに記載の多層パッドを具備した半導体素子の製造方法。

【請求項 52】 前記第 1 導電性プラグを、前記第 1 ビ

アホールを包含した前記第 2 層間絶縁膜の全面に導電性膜を形成する工程と、CMP 工程を施して前記導電性膜を平坦化する工程と、を経て形成することを特徴とする請求項 46 乃至 51 のいずれかに記載の多層パッドを具備した半導体素子の製造方法。

【請求項 53】 前記第 3 導電性パッドを形成する工程の後、前記第 3 導電性パッドを包含した前記第 3 層間絶縁膜上にワイドビアホールが具備された第 4 層間絶縁膜を形成する工程と、

10 前記第 3 導電性パッドと連結されるように前記ワイドビアホールを包含した前記第 4 層間絶縁膜上の第 1、第 2 領域所定部分に第 4 導電性パッドを形成する工程と、をさらに包含することを特徴とする請求項 46 乃至 52 のいずれかに記載の多層パッドを具備した半導体素子の製造方法。

【請求項 54】 半導体基板上に第 1 層間絶縁膜を形成する工程と、

この第 1 層間絶縁膜上の所定部分に中央部に複数の貫通ホールが具備された第 1 導電性パッドを形成する工程と、

20 この第 1 導電性パッドを包含した前記第 1 層間絶縁膜上に第 1 ビアホールが具備された第 2 層間絶縁膜を形成する工程と、

この第 1 ビアホール内に第 1 導電性プラグを形成する工程と、

この第 1 導電性プラグと連結されるように前記第 2 層間絶縁膜上に中央部にワイド貫通ホールが形成された閉曲線形の第 2 導電性パッドを形成する工程と、

30 この第 2 導電性パッドを包含した前記第 2 層間絶縁膜上に第 2 ビアホールが具備された第 3 層間絶縁膜を形成する工程と、

前記第 2 ビアホール内に第 2 導電性プラグを形成する工程と、

この第 2 導電性プラグと連結されるように前記第 3 層間絶縁膜上の所定部分に第 3 導電性パッドを形成する工程と、

を含むことを特徴とする多層パッドを具備した半導体素子の製造方法。

【請求項 55】 前記第 1 乃至第 3 導電性パッドを、アルミニウム合金又は銅合金で形成することを特徴とする請求項 54 に記載の多層パッドを具備した半導体素子の製造方法。

【請求項 56】 前記第 1、第 2 導電性プラグを、タングステン、アルミニウム合金と銅合金の中で選択された何れか一つで形成することを特徴とする請求項 54 又は 55 のいずれかに記載の多層パッドを具備した半導体素子の製造方法。

【請求項 57】 前記第 1、第 2 導電性プラグをタングステンで形成する場合、前記第 1、第 2 ビアホール内に第 1、第 2 障壁金属膜を形成する工程をさらに包含する

ことを特徴とする請求項56に記載の多層パッドを具備した半導体素子の製造方法。

【請求項58】 前記第1、第2障壁金属膜は、チタン／窒化チタン積層構造に形成することを特徴とする請求項57に記載の多層パッドを具備した半導体素子の製造方法。

【請求項59】 前記第1乃至第3導電性パッド形成の前、前記それぞれの第1乃至第3導電性パッド上に窒化チタン又はチタン／窒化チタン積層構造の反射防止膜を形成する工程をさらに包含することを特徴とする請求項54乃至58のいずれかに記載の多層パッドを具備した半導体素子の製造方法。

【請求項60】 前記第1導電性パッドに具備される前記貫通ホールを、相互隣接された二つの貫通ホール間の第1導電性パッド間隔が1～2μmで、それぞれが2～6μmの幅を有するように形成することを特徴とする請求項54乃至59のいずれかに記載の多層パッドを具備した半導体素子の製造方法。

【請求項61】 前記第1導電性プラグと連結された部分の前記第1導電性パッドを、2～5μmの幅を有するように形成することを特徴とする請求項54乃至60のいずれかに記載の多層パッドを具備した半導体素子の製造方法。

【請求項62】 前記第3導電性パッドを形成する工程の後、前記第3導電性パッドを包含した前記第3層間絶縁膜上にワイドビアホールが具備された第4層間絶縁膜を形成する工程と、

前記第3導電性パッドと連結されるように前記ワイドビアホールを包含した前記第4層間絶縁膜上の所定部分に第4導電性パッドを形成する工程と、
をさらに包含することを特徴とする請求項54乃至61のいずれかに記載の多層パッドを具備した半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体素子及びその製造方法に係り、特に、ボンディングパッドの構造を最適化してクラック発生を最小化させ得る多層パッドを具備した半導体素子及びその製造方法に関する。

【0002】

【従来の技術】 ディーサブミクロン (deep submicron) 時代においては、半導体製造の際に、W-プラグ、A1-フロー、及びCMP (chemical mechanical polishing) 工程を組み合わせた多層配線工程の適用が必然的に要求されてくる。

【0003】 このように多層配線工程にW-プラグ工程を適用する場合、W-プラグのCMP工程1の適用のため、半導体素子の製造に際して、コンタクトホール又はビアコンタクトホールのサイズを一元化するのが望ましい。そのためには、既存のワイド (wide) ビアコンタ

トホールを有するボンディングパッドとは異った構造のボンディングパッドを形成する必要がある。

【0004】 これは、ボンディングパッドを既存構造と同様にした状態でタングステン (W) をCMP処理すると、パッド領域境界部位に食刻副産物 (byproduct) 及びスラリー (slurry) などのような多量の粒子 (particle) が残存して、ワイヤボンディングのときにパッド境界面でコールドボールが接着不良によりパッド表面から剥離されてミッシング (missing) される現象、及びボンディングパッドの電気的抵抗が増加する等の不良を防止するためである。

【0005】 図30は、Wプラグ工程の適用と関連する従来の多層パッドを具備した半導体素子の構造を示した断面図である。この断面図は便宜上、本発明と直接関連するパッド形成部の構造だけを図示し、これを参照してその製造方法を大きく3段階に区分して簡単に説明する。

【0006】 第1段階は、フィールド酸化膜、トランジスタ、及びキャパシタが具備された半導体基板上のパッド形成部に第1層間絶縁膜22を形成し平坦化する。ついで絶縁膜22上のパッド形成部にA1合金又はCu合金材質の第1導電性パッド24を形成し、第1導電性パッド24を包含した第1層間絶縁膜22上に酸化膜材質の第2層間絶縁膜28を形成した後これを平坦化する。ついで、以後形成される第2導電性パッドとの連結のため第1導電性パッド24表面の所定部分が露出されるように第2層間絶縁膜28を選択食刻して複数個の第1ビアホール26を形成する。ついで、後続工程であるW材質の導電性膜蒸着工程が円滑に行われるようにするため、ビアホール26内のみに選択的にチタン／窒化チタン (Ti/TiN) 積層構造の障壁金属膜 (図示せず) を形成する。ついで、第1ビアホール26を包含した第2層間絶縁膜28上にCVD工程を施してW材質の導電性膜を形成し、CMP工程によりこの導電性膜を平坦化させて第1ビアホール26内に第1Wプラグ27を形成する。

【0007】 第2段階は、第1Wプラグ27と電気的に連結されるように、第2層間絶縁膜28上の所定部分にA1合金材質又はCu合金材質の第2導電性パッド30を形成し、第1段階で示した工程と同様な方法により、第2導電性パッド30の有する第2層間絶縁膜28上に第2ビアホール32が具備された第3層間絶縁膜34を形成する。その後、第2ビアホール32内に第2Wプラグ33を形成する。

【0008】 第3段階は、第2Wプラグ33と電気的に連結されるように、第3層間絶縁膜34上の所定部分にA1合金材質又はCu合金材質の第3導電性パッド36を形成し、パッド窓領域 (ワイヤボンディングのときにAuボール又はAuパンプが形成される部分) 40に使用される部分の第3導電性パッド36の表面が露出され

るように第3導電性パッド36の所定部分と第3層間絶縁膜34上に保護膜38を形成して、半導体素子の多層パッドの製造工程を終了する。

【0009】図31は、前記工程により製造された多層パッドを有する半導体素子を上から見た平面図である。即ち、パッド窓領域40下部に形成された第1乃至第3導電性パッド24、30、36が、第2、第3層間絶縁膜28、34内のビアホール26、32内に形成されたWプラグ27、33を通じて電気的に連結されるようになって、第3導電性パッド36上に定義されたパッド窓領域40を通じて導電性パッドとリードとがワイヤボンディングされるように半導体素子が形成されていることがわかる。

【0010】ここで、図30は図31のI-I部分を切断した断面図で、符号10aとのはパッド形成部を示し、符号10bはセルとパッド形成部10aとの間の連結部を示す。

【0011】

【発明が解決しようとする課題】しかし、このような工程により図30に示す断面構造を有するように半導体素子の多層パッドを形成する場合、ワイヤボンディングのときパッド境界面でゴールドボールがパッド表面から剥離し紛失する現象及びボンディングパッドの電気的抵抗が増加するなどの現象はある程度までは防ぐことができるが、半導体パッケージ製造過程で次に提示される問題が発生する。

【0012】最終的に製造された半導体製品の電気的特性テストに際して、プロービング(probing)により導電性パッドがメカニカルストレス(mechanical stress)を受けるため、層間絶縁膜にクラック42が発生する。このような現象は、パッド窓で上部導電性パッドとリード(図示せず)とを相互電気的に連結させるためのワイヤボンディング工程を施すときも同様に発生する。

【0013】これは、堅固な層間絶縁膜間に相対的に軟性のよいA1合金材質の導電性パッドが挟まれていて、図30の矢印方向にストレスが加えられる場合、一次的に導電性パッドに変形(distortion)が発生し、このためパッド及び層間絶縁膜のクラック42が発生する。これはまるで二つの座布団の間にガラスを置き踏んだ時にガラスが壊れることと同様な理といえる。

【0014】このように層間絶縁膜にクラック42が発生した場合、ワイヤボンディング不良及び半導体パッケージのアセンブリ特性低下などのような深刻な問題が惹起されるため、これに対する改善策が要望されている。

【0015】本発明は上記問題点を解決するためになされたもので、その目的は、多層配線を有する半導体素子のパッド構造を変更することにより、ワイヤボンディング又は電気的特性の評価時にプロービングにより惹起される層間絶縁膜のクラックを防止し、半導体パッケージのアセンブリ特性改善及び素子単品の信頼性を確保でき

る多層パッドを具備した半導体素子及びその製造方法を提供しようとするものである。

【0016】

【課題を解決するための手段】本発明の第1の態様では、半導体基板上に形成された第1層間絶縁膜と、この第1層間絶縁膜上の所定部分に形成されパッド窓領域の一面側外郭部に沿って長く延長された形状の第1導電性パッドと、第1導電性パッドを包含した第1層間絶縁膜上に形成され第1導電性パッド表面の所定部分が露出されるように第1ビアホールが具備された第2層間絶縁膜と、第1ビアホール内に形成された第1導電性プラグと、第1導電性プラグと連結されるように第2層間絶縁膜上の所定部分に形成され、パッド窓領域の一面側外郭部に沿って長く延長された形状の第2導電性パッドと、第2導電性パッドを包含した第2層間絶縁膜上に形成され、第2導電性パッド表面の所定部分が露出されるように第2ビアホールが具備された第3層間絶縁膜と、第2ビアホール内に形成された第2導電性プラグと、第2導電性プラグと連結されるように第3層間絶縁膜上の所定部分に形成された第3導電性パッドと、を備えた多層パッドを具備した半導体素子が提供される。

【0017】このとき、多層パッドを具備した半導体素子は、パッド窓領域下部の第1、第2層間絶縁膜の中で少なくとも何れか一つの膜上にモザイク配列を有する任意個のバッファ層がさらに形成された構造を有するように形成することもできる。

【0018】また、本発明の第2の態様では、半導体基板上の第1領域であるパッド形成部、第2領域であるセル形成部とパッド形成部とを連結する連結部、及び第3領域であるセル形成部の全面に形成された第1層間絶縁膜と、第1層間絶縁膜上の第2領域に形成された第1導電性パッドと、第1導電性パッドを包含した第1層間絶縁膜上に形成され、第1導電性パッド表面の所定部分が露出されるようにバー形状の第1ビアホールが具備された第2層間絶縁膜と、第1ビアホール内に形成された第1導電性プラグと、第1導電性プラグと連結されるように第2層間絶縁膜上の第2領域に形成された第2導電性パッドと、第2導電性パッドを包含した第2層間絶縁膜上に形成され、第2導電性パッド表面の所定部分が露出されるようにバー形状の第2ビアホールが具備された第3層間絶縁膜と、第2ビアホール内に形成された第2導電性プラグと、第2導電性プラグと連結されるように第3層間絶縁膜上の第1、第2領域の所定部分に亘って形成された第3導電性パッドと、を備えた多層パッドを具備した半導体素子が提供される。

【0019】また、本発明の第3の態様では、半導体基板上に形成された第1層間絶縁膜と、第1層間絶縁膜上に形成され、中央部に複数個の貫通ホールが具備された第1導電性パッドと、第1導電性パッドを包含した第1層間絶縁膜上に形成され、パッド窓領域外郭の第1導電

性パッド表面の所定部分が露出されるように第1ビアホールが具備された第2層間絶縁膜と、第1ビアホール内に形成された第1導電性プラグと、第1導電性プラグと連結されるように第2層間絶縁膜上に形成され、中央部にワイド貫通ホールが形成された閉曲線形の第2導電性パッドと、第2導電性パッドを包含した第2層間絶縁膜上に形成され、第2導電性パッド表面の所定部分が露出されるように第2ビアホールが具備された第3層間絶縁膜と、第2ビアホール内に形成された第2導電性プラグと、第2導電性プラグと連結されるように第3層間絶縁膜上の所定部分に形成された第3導電性パッドとを備えた多層パッドを具備した半導体素子が提供される。

【0020】また、本発明の第4の態様では、半導体基板上に第1層間絶縁膜を形成する工程と、第1層間絶縁膜上の所定部分にパッド窓領域の一面側外郭部に沿って長く延長された形状の第1導電性パッドを形成する工程と、第1導電性パッドを包含した第1層間絶縁膜上に第1ビアホールが具備された第2層間絶縁膜を形成する工程と、第1ビアホール内に第1導電性プラグを形成する工程と、第1導電性プラグと連結されるように第2層間絶縁膜上の所定部分にパッド窓領域の一面側外郭部に沿って長く延長された形状の第2導電性パッドを形成する工程と、第2導電性パッドを包含した第2層間絶縁膜上に第2ビアホールが具備された第3層間絶縁膜を形成する工程と、第2ビアホール内に第2導電性プラグを形成する工程と、第2導電性プラグと連結されるように第3層間絶縁膜上の所定部分に第3導電性パッドを形成する工程とを含む半導体素子の製造方法が提供される。

【0021】また、本発明の第5の態様では、半導体基板上の第1領域であるパッド形成部、第2領域であるセル形成部とパッド形成部とを連結する連結部、及び第3領域であるセル形成部の全面に第1層間絶縁膜を形成する工程と、第1層間絶縁膜上の第2領域に第1導電性パッドを形成する工程と、第1導電性パッドを包含した第1層間絶縁膜上にバー形状の第1ビアホールが具備された第2層間絶縁膜を形成する工程と、第1ビアホール内に第1導電性プラグを形成する工程と、第1導電性プラグと連結されるように第2層間絶縁膜上の第2領域に第2導電性パッドを形成する工程と、第2導電性パッドを包含した第2層間絶縁膜上にバー形状の第2ビアホールが具備された第3層間絶縁膜を形成する工程と、第2ビアホール内に第2導電性プラグを形成する工程と、第2導電性プラグと連結されるように第3層間絶縁膜上の第1、第2領域の所定部分に第3導電性パッドを形成する工程とを含む半導体素子の製造方法が提供される。

【0022】また、本発明の第6の態様では、半導体基板上に第1層間絶縁膜を形成する工程と、第1層間絶縁膜上の所定部分に中央部に複数個の貫通ホールが具備された第1導電性パッドを形成する工程と、第1導電性パッドを包含した第1層間絶縁膜上に第1ビアホールが具

備された第2層間絶縁膜を形成する工程と、第1ビアホール内に第1導電性プラグを形成する工程と、第1導電性プラグと連結されるように第2層間絶縁膜上に中央部にワイド貫通ホールが形成された閉曲線形の第2導電性パッドを形成する工程と、第2導電性パッドを包含した第2層間絶縁膜上に第2ビアホールが具備された第3層間絶縁膜を形成する工程と、第2ビアホール内に第2導電性プラグを形成する工程と、第2導電性プラグと連結されるように第3層間絶縁膜上の所定部分に第3導電性パッドを形成する工程とを含む半導体素子の製造方法が提供される。

【0023】上記のような構造を有するように多層パッドを具備した半導体素子を製造した結果、ワイヤボンディングのとき、あるいは製品の特性評価のためのプロービングのとき、導電性パッドにストレスが加えられてもこれを適切に分散させることが可能になって、層間絶縁膜でのクラック発生を最小化することができる。

【0024】

【発明の実施の形態】以下、本発明の実施の形態を図面を用いて詳細に説明する。本発明は、Wプラグ工程及びCMP工程を適用した半導体素子のボンディングパッド構造を最適化させることにより、ボンディングパッドをなす導電性パッド下の層間絶縁膜のクラック発生を最小化したものである。以下詳しく説明する。

【0025】本発明によるボンディングパッドの最適化された構造は、大きく5つに分類出来る。図1は本発明の第1の実施形態による多層パッドを具備した半導体素子の構造を示した断面図、図6は本発明の第2の実施形態による多層パッドを具備した半導体素子の構造を示した断面図、図8は本発明の第3の実施形態による多層パッドを具備した半導体素子の構造を示した断面図、図10は本発明の第4の実施形態による多層パッドを具備した半導体素子の構造を示した断面図、図13は本発明の第5の実施形態による多層パッドを具備した半導体素子の構造を示した断面図である。

【0026】(I)第1の実施形態

まず、図1の断面図を参照して第1の実施形態を説明する。図1によると、本発明の第1の実施形態による多層パッドを具備した半導体素子は大きく次のように構成されている。

【0027】フィールド酸化膜、トランジスタ、及びキャパシタが具備された半導体基板120上に第1層間絶縁膜122が形成される。この第1層間絶縁膜122上のパッド形成部（例えば、フィールド酸化膜上方部の第1層間絶縁膜上の所定部分）にはパッド窓領域140の一面側外郭部に沿って長く延長された形状の第1導電性パッド124が形成され、この第1導電性パッド124を包含した第1層間絶縁膜122上に第1導電性パッド124表面の所定部分が露出されるように第1ビアホール126が具備された第2層間絶縁膜128が形成され

る。

【0028】第1ビアホール126内に第1導電性プラグ127が形成される。第2層間絶縁膜128上の所定部分に第1導電性プラグ127と連結されるようにパッド窓領域140の一面側外郭部に沿って長く延長された形状の第2導電性パッド130が形成される。第2導電性パッド130を包含した第2層間絶縁膜128上に第2導電性パッド130の表面の所定部分が露出されるように第2ビアホール132が具備された第3層間絶縁膜134が形成される。前記第2ビアホール132内に第2導電性プラグ133が形成される。

【0029】第3層間絶縁膜134上の所定部分に第2導電性プラグ133と連結されるように第3導電性パッド136が形成され、この第3導電性パッド136を包含した第3層間絶縁膜134上に第3導電性パッド136の表面の所定部分が露出されるように保護膜138が形成される。ここで、第3導電性パッド136の表面露出部は以後パッケージの製造時に導電性パッドとリードとがワイヤボンディングされるパッド窓領域140となる。

【0030】図2乃至図5は、図1に示す多層パッドが具備された半導体素子を上から見た平面図である。パッド窓領域140は矩形に形成され、第3導電性パッド136を除いてはパッド窓領域140下部に導電性パッドは形成されていないことがわかる。

【0031】各平面図で第1、第2導電性パッド124、130の構造に少しずつ差がでる。これは、第1、第2導電性パッド124、130を図2に示したようにパッド窓領域140の一面側に沿って長く延長されるように形成するか、図4に示すようにパッド窓領域140の一面側に沿って長く延長し、その両端がパッド窓領域140の他面側を所定部分だけ囲む構造を有するように形成することもできるからである。

【0032】このとき、第1乃至第3導電性パッド124、130、136を電氣的に連結させる第1、第2ビアホール126、132の表面上のレイアウト配置はいろんな形態が適用可能であるが、図2及び図4に示すようにエッジアレイ (edge array) 構造を有するように形成することもできるし、図3及び図5に示すようにバー (bar) 形態を有するように形成することもできる。

【0033】図では第1、第2ビアホール126、132は第2層間絶縁膜128と第3層間絶縁膜134内で、ジグザグに相互にずれるように形成されているが、場合によっては第2及び第3層間絶縁膜128、134内で第1乃至第2ビアホール126、132が相互一直線上に位置するように形成しても構わない。

【0034】ここで、図1は図2乃至図5のI-I部分を切断した断面構造を示したもので、符号100aはパッド形成部を示し、符号100bはセルとパッド形成部との間の連結部を示す。そして、前記構造の多層パッド

を具備した半導体素子は次の3段階を経て製造される。これを図15乃至図17に示した工程別断面図を参照して説明する。

【0035】第1段階として、図15に示すように、フィールド酸化膜、トランジスタ、及びキャパシタが具備された半導体基板120上に9000~12000オングストロームの厚さの第1層間絶縁膜122を形成し平坦化した後、その全面にAl合金又はCu合金材質の導電性膜を5500~6500オングストロームの厚さに形成する。ついで、この導電性膜上にTiN又はTi/TiN積層構造の反射防止膜 (図示されず) を200~350オングストロームの厚さに形成し、パッド窓領域140の一面側外郭部を限定する食刻マスクを用いて導電性膜を選択食刻する。その結果、パッド窓領域140の一面側外郭部に沿って長手方向に長く延長された2~5μmの幅 (w) を有する第1導電性パッド124が形成される。

【0036】ついで、第1導電性パッド124を包含した第1層間絶縁膜122上に酸化膜材質の第2層間絶縁膜128を15000~17000オングストロームの厚さに形成しこれを平坦化した後、光食刻工程により第1導電性パッド124表面の所定部分が露出されるように第2層間絶縁膜128を選択食刻し、絶縁膜128内に第1ビアホール126を形成する。

【0037】以後、第1ビアホール126を包含した第2層間絶縁膜128上にW (タングステン)、Al合金、Cu合金などの導電性物質をCVD法により形成した後、これをCMP工程により平坦化させて第1ビアホール126内に第1導電性プラグ127を形成する。このとき、導電性プラグ127がWで形成された場合は、膜質蒸着特性を向上させるため第1ビアホール126内にTi/TiN積層膜構造の障壁金属膜 (図示せず) をさらに形成するとよい。

【0038】第2段階として、図16に示すように、第1導電性プラグ127と連結されるように第2層間絶縁膜128上の所定部分に第1段階と同様な方法によりパッド窓領域140の一面側外郭部に沿って長手方向に延長された構造の第2導電性パッド130を形成する。この場合も第2導電性パッド130は2~5μmの幅

(w) を有するように形成され、第2導電性パッド130上に反射防止膜 (図示せず) が形成されている。

【0039】ついで、第2導電性パッド130を包含した第2層間絶縁膜128上に酸化膜材質の第3層間絶縁膜134を14000~16000オングストロームの厚さに形成し、光食刻工程により第2導電性パッド130表面の所定部分が露出されるように第3層間絶縁膜134を選択食刻し、絶縁膜134内に第2ビアホール132を形成する。

【0040】ついで、第2ビアホール132を包含した第3層間絶縁膜134上にCVD法を用いてW、Al合

金、Cu合金からなる導電性物質を形成し、これをCMP工程により平坦化させて第2ビアホール132内に第2導電性プラグ133を形成する。この場合も導電性プラグ133がWで形成されたときは膜質蒸着特性を向上させるために第2ビアコンタクトホール132内部にTi/TiN積層膜構造の障壁金属膜(図示せず)をさらに形成するとよい。

【0041】第3段階として、図17に示すように、第2導電性プラグ133と連結されるように第3層間絶縁膜134上の所定部分に第1段階で示した工程と同様な方法により反射防止膜が具備された第3導電性パッド136を形成する。ついで、第3導電性パッド136表面の所定部分が露出されるように第3導電性パッド136を包含した第3層間絶縁膜134上に保護膜138を形成して、多層配線を有する半導体素子の多層パッド100の製造を終了する。

【0042】このような構造では、ワイヤボンディングに際して、ボールがパッド窓領域140の中央地点に正確に整列されずに一方に片寄る状態にボンディングされても、パッド窓領域の四面を基準とすると第1、第2導電性パッドがパッド窓領域104の一面側のみに形成されるので、導電性パッド124、130がストレスを受ける確率が1/4程度に少し、層間絶縁膜のクラック発生率も1/4に減少する。

【0043】(II) 第2の実施形態

以下、図6に示す断面図を参照して第2の実施形態を説明する。この実施形態で示される多層パッドを具備した半導体素子は、パッド窓領域240下部の第1、第2層間絶縁膜222、228の中で少なくとも何れか一つの膜上にモザイク配列を有する任意個のバッファ層224aがさらに形成されていることを除いては構造的にも製造工程的にも全てが第1の実施形態と同様であるから、ここでは第1の実施形態と異なる点だけを簡略に説明する。

【0044】図6には、便宜上、第1層間絶縁膜222上のみに任意個のバッファ層224aがさらに形成された構造が図示されているが、既に説明したようにバッファ層224aは第2層間絶縁膜228上にも形成することが可能である。

【0045】このとき、バッファ層224aは第1、第2層間絶縁膜222、228上に相互に同一のモザイク配列構造を有するように形成することもできる。また、第1、第2層間絶縁膜222、228上で相互にジグザグにずれて位置する配列構造を有するように形成することもできる。

【0046】この場合、バッファ層224aは相互に隣接した2つのバッファ層224a間の間隔bが0.7~0.8μmで、それぞれは0.4~0.6μmの幅aを有するように形成され、第1乃至第3層間絶縁膜22

1合金、Cu合金、ポリシリコンで形成される。

【0047】図7は図6に示す多層パッドが具備された半導体素子を上から見た平面図である。図7を参照して説明すると、パッド窓領域240は矩形に形成され、パッド窓領域240下部には第3導電性パッド236と任意個のバッファ層224aと形成されていることがわかる。この場合も、第1、第2ビアホール232、226はエッジアレイ構造及びバー形態とすることが可能である。

【0048】ここで、図6は図7のI-I部分を切断した断面構造を示したもので、符号220aはパッド形成部を示し、符号200bはセルとパッド形成部との間の連結部を示す。

【0049】そして、前記構造の多層パッドを具備した半導体素子は次の3段階を経て製造される。これを図18乃至図20に示した工程別断面図を参照して説明する。ここでは一例として第1層間絶縁膜222上のみにバッファ層が形成されるという前提で工程を説明する。

【0050】第1段階として、図18に示したように、フィールド酸化膜、トランジスタ、及びキャパシタが具備された半導体基板220上に9000~12000オングストロームの厚さの第1層間絶縁膜222を形成し平坦化した後、その上にパッド窓領域240の一面側外郭部に沿って長手方向に延長された形状の第1導電性パッド224と任意個のバッファ層224aとを形成する。このとき、バッファ層224aと第1導電性パッド224とは上述したデザインルールに基づき形成される。第1導電性パッド224と同様な材質でバッファ層224aを形成しようとする場合は、第1導電性パッド224と同時に形成するのが良く、第1層間絶縁膜222と区別される材質、例えばポリシリコンのような導電性物質で形成しようとする場合は、別途の膜蒸着工程と光食刻工程とを経て形成するのが良い。ついで、第1導電性パッド224を包含した第1層間絶縁膜222上に導電性パッド224表面の所定部分が露出されるように第1ビアホール226が具備された第2層間絶縁膜228を15000~17000オングストロームの厚さに形成し、第1ビアホール226内にW、Al合金、Cu合金材質の第1導電性プラグ227を形成する。このとき、第1導電性プラグ227がWで形成される場合は膜質蒸着特性を向上させるために第1ビアコンタクトホール126内にTi/TiN積層膜構造の障壁金属膜(図示せず)をさらに形成するのが良い。

【0051】第2段階として、図19に示すように、第1導電性プラグ227と連結されるように、第2層間絶縁膜228上の所定部分に前記第1段階で示した工程と同様な方法によりパッド窓領域240の一面側外郭部に沿って長手方向に延長された形状の第2導電性パッド230を形成する。ついで、第2導電性パッド230を包含した第2層間絶縁膜228上に第2導電性パッド23

0 表面の所定部分が露出されるように第 2 ビアホール 232 が具備された第 3 層間絶縁膜 234 を 14000 ~ 16000 オングストロームの厚さに形成し、第 2 ビアホール 232 内に W、Al 合金、Cu 合金材質の第 2 導電性プラグ 233 を形成する。この場合も導電性プラグ 233 が W で形成されたとき膜質蒸着特性を向上させるために第 2 ビアコンタクトホール 232 内に Ti/TiN 積層膜構造の障壁金属膜 (図示せず) をさらに形成するのが良い。

【0052】第 3 段階として、図 20 に示すように、第 2 導電性プラグ 233 に連結されるように第 3 層間絶縁膜 234 上の所定部分に第 3 導電性パッド 236 を形成し、導電性パッド 236 表面の所定部分が露出されるように第 3 導電性パッド 236 の所定部分と第 3 層間絶縁膜 234 との上に保護膜 238 を形成して、半導体素子の多層パッド 200 の製造を終了する。

【0053】このような構造を有するように工程を進行的する場合、外部から加えられるストレスをバッファ層 224a で分散させることができるから、クラック発生を減らすことが出来る。これは層間絶縁膜とバッファ層とが相互に媒質の異なる物質であってストレスの吸収程度が異なり、これがストレスを緩和させる役割を行うからである。

【0054】(III) 第 3 の実施形態

以下、図 8 に示した断面図を参照して第 3 の実施形態を説明する。本実施形態はパッド形成部 (以下、第 1 領域という) 300a とセル形成部 (以下、第 3 領域という) (図示せず) と連結する連結部 (以下、第 2 領域という) 300b 上に多層パッドを形成するという点で第 1、第 2 の実施形態と差別化される技術である。このように連結部に多層パッドを形成するのは、ボンディングパッドをなす導電性パッドと層間絶縁膜とをワイヤボンディング時又は電気的な特性の評価時に外部ストレスから開放するためである。

【0055】図 8 によると、本発明の第 3 の実施形態の多層パッドを具備した半導体素子は大きく次のように構成される。フィールド酸化膜、トランジスタ、及びキャパシタが具備された半導体基板 320 上の第 1 乃至第 3 領域に第 1 層間絶縁膜 322 が形成され、第 1 層間絶縁膜 322 上の第 2 領域 300b には第 1 導電性パッド 324 が形成される。第 1 導電性パッド 324 を包含した第 1 層間絶縁膜 322 上に導電性パッド 324 表面の所定部分が露出されるように第 1 ビアホール 326 が具備された第 2 層間絶縁膜 328 が形成され、第 1 ビアホール 326 内に第 1 導電性プラグ 327 が形成される。第 2 層間絶縁膜 328 上の第 2 領域 300b には第 1 導電性プラグ 327 と電気的に連結されるように第 2 導電性パッド 330 が形成される。第 2 導電性パッド 330 を包含した第 2 層間絶縁膜 328 上に第 2 導電性パッド 330 表面の所定部分が露出されるように第 2 ビアホール

332 が具備された第 3 層間絶縁膜 334 が形成される。第 3 層間絶縁膜 334 上の第 1、第 2 領域にわたって、第 2 導電性プラグ 333 と電気的に連結される第 3 導電性パッド 336 が形成され、第 3 導電性パッド 336 を包含した第 3 層間絶縁膜 334 上に第 3 導電性パッド 336 表面の所定部分が露出されるように保護膜 338 が形成される。ここで、第 3 導電性パッド 336 表面の露出部は以後のパッケージ製造時に、導電性パッドとリードとがワイヤボンディングされるパッド窓領域 340 を示す。

【0056】図 9 は、図 8 の多層パッドが具備された半導体素子を上から見た平面図である。即ち、半導体基板上の第 1 領域 300a にはパッド窓領域 340 が正方向に形成され、半導体基板上の第 2 領域 300b で導電性プラグにより第 1、第 2 導電性パッド 324、330 が電気的に連結されていることがわかる。

【0057】このとき、第 1、第 2 ビアホール 326、332 は、図 9 からわかるようにバー形態を有するように製作されるが、このようにビアコンタクトホールをバー形態に製作するのはビアコンタクトホールのコンタクト面積を増加させてコンタクト抵抗を減少させるためである。

【0058】そして、前記平面図では、第 1、第 2 ビアコンタクトホール 326、332 が第 2 層間絶縁膜 328 と第 3 層間絶縁膜 334 内でジグザグ方向に相互にずれて形成されているが、場合によっては第 2、第 3 層間絶縁膜 328、334 内で第 1、第 2 ビアホール 326、332 が相互に一直線上に位置するように形成しても構わない。

【0059】ここで、図 8 は図 9 の I-I 部分を切断した断面構造を示し、符号 300a は第 1 領域のパッド形成部、符号 300b は第 2 領域のセルとパッド形成部との間の連結部を示す。そして、前記構造の多層パッドを具備した半導体素子は次の 3 段階を経て製造される。これを図 21 乃至図 23 に示した工程別断面図を参照して説明する。

【0060】第 1 段階として、図 21 に示すように、フィールド酸化膜、トランジスタ、及びキャパシタが具備された半導体基板 320 上の第 1 乃至第 3 領域上に 9000 ~ 12000 オングストロームの厚さの第 1 層間絶縁膜 322 を形成し平坦化した後、その全面に Al 合金又は Cu 合金材質の導電性膜を 5500 ~ 6500 オングストロームの厚さに形成する。そして、この導電性膜上に TiN 又は Ti/TiN 積層構造の反射防止膜 (図示せず) を 200 ~ 350 オングストロームの厚さに形成する。ついで、第 1 領域 (パッド形成部) 300a の第 1 層間絶縁膜 322 表面が露出されるように導電性膜を選択食刻する。その結果、第 1 層間絶縁膜 322 上の第 2 領域のみに第 1 導電性パッド 324 が形成される。

ついで、第 1 導電性パッド 324 を包含した第 1 層間絶

縁膜322上に酸化膜材質の第2層間絶縁膜328を15000~17000オングストロームの厚さに形成し平坦化した後、光食刻工程を施して前記第1導電性パッド324表面の所定部分が露出されるように第2層間絶縁膜328を選択食刻して絶縁膜328内に第1ビアホール326を形成する。以後、第1ビアホール326を包含した第2層間絶縁膜328上にW、Al合金、Cu合金などの導電性物質をCVD法により形成し、これをCMP工程を施して平坦化させて、第1ビアホール326内に第1導電性プラグ327を形成する。このとき、前記導電性プラグ327がWで形成された場合、膜質蒸着特性を向上させるため前記第1ビアホール326内にTi/TiN積層膜構造の障壁金属膜(図示せず)をさらに形成するのが良い。

【0061】第2段階として、図22に示すように、第1導電性プラグ327と電氣的に連結されるように第2層間絶縁膜328上の第2領域300bに第1段階で示された工程と同様な方法により第2導電性パッド330を形成する。ついで、第2導電性パッド330を包含した第2層間絶縁膜328上に酸化膜材質の第3層間絶縁膜334を14000~16000オングストロームの厚さに形成し平坦化した後、光食刻工程を施して第2導電性パッド330表面の所定部分が露出されるように第3層間絶縁膜334を選択食刻して絶縁膜334内に第2ビアホール332を形成し、この第2ビアホール332内にW、Al合金、Cu合金材質の第2導電性プラグ333を形成する。この場合も導電性プラグ333がWで形成される時は膜質蒸着特性を向上させるため、第2ビアホール332内にTi/TiN積層膜構造の障壁金属膜(図示せず)をさらに形成するのが良い。

【0062】第3段階として、図23に示すように、第2導電性プラグ333と電氣的に連結されるように、第3層間絶縁膜334上の第1乃至第3領域にAl合金又はCu合金材質の導電性膜を5500~6500オングストロームの厚さに形成し、その上にTiN又はTi/TiN積層構造の反射防止膜(図示せず)を200~350オングストロームの厚さに形成する。ついで、第1領域300aの第3層間絶縁膜334と第2領域300bの第3層間絶縁膜334表面の所定部分が露出されるように反射防止膜と導電性膜とを選択食刻する。その結果、第3層間絶縁膜334上の第1、第2領域300a、300bの所定部分にわたって導電性膜材質の第3導電性パッド336が形成される。その後、第3導電性パッド336表面の所定部分が露出されるように第3導電性パッド336を包含した第3層間絶縁膜334上に保護膜338を形成して、多層配線を有する半導体素子の多層パッド300の製造を終了する。

【0063】このような工程を有するように進行する場合、ワイヤボンディング時又は製品の特性評価のためのブロービク時、パッド形成部が外部ストレスから開放

されてクラック発生を最小化出来、しかも、第1、第2ビアホール326、332のコンタクト面積が大きくなってコンタクト抵抗を減少し得るという利点がある。

【0064】(IV) 第4の実施形態

以下、図10に示した断面図を参照して第4の実施形態を説明する。即ち、図示されたように、本発明の第4の実施形態の多層パッドを具備した半導体素子は大きく次のように構成される。

【0065】フィールド酸化膜、トランジスタ、及びキャパシタが具備された半導体基板420上に第1層間絶縁膜422が形成され、この第1層間絶縁膜422上のパッド形成部には中央部に複数個の貫通ホールhが具備された第1導電性パッド424が形成される。この第1導電性パッド424を包含した第1層間絶縁膜422上にパッド窓領域440外部の第1導電性パッド424表面の所定部分が露出されるように第1ビアホール426が具備された第2層間絶縁膜428が形成され、第1ビアホール426内に第1導電性プラグ427が形成される。

【0066】第2層間絶縁膜428上には中央部にワイド貫通ホールの形成された閉曲線形の第2導電性パッド430が第1導電性プラグ427と連結されるように形成され、第2導電性パッド430を包含した第2層間絶縁膜428上に第2導電性パッド430表面の所定部分が露出されるように第2ビアホール432が具備された第3層間絶縁膜434が形成される。第2ビアホール432内には第2導電性プラグ433が形成される。第3層間絶縁膜434上の所定部分には第2導電性プラグ433と電氣的に連結される第3導電性パッド436が形成され、第3導電性パッド436を包含した第3層間絶縁膜434上に第3導電性パッド436表面の所定部分が露出されるように保護膜438が形成される。ここで、第3導電性パッド436の表面露出部はパッド窓領域440を示す。

【0067】このとき、第1導電性パッド424内に形成された貫通ホールhは相互隣接した二つの貫通ホールh間の導電性膜424a間隔cが1~2μmで、それぞれは2~6μmの幅dを有するように形成され、第1導電性プラグ427と連結された部分の第1導電性パッド424は2~5μmの幅wを有するように形成される。

【0068】図11、図12は、図10の多層パッドが具備された半導体素子上から見た平面図である。ここで、図11は第1導電性パッド424と第2層間絶縁膜428の形成工程が終了した状態での半導体素子構造を示した平面図で、図12は第2導電性パッド430と第3層間絶縁膜434の形成工程が終了した状態での半導体素子構造を示した平面図である。

【0069】前記平面図を参照して説明すると、ワイヤボンディング領域440は矩形に形成され、前記パッド

窓領域 440 下部に第 3 導電性パッド 436 と第 1 導電性パッド 424a とが形成される。この場合も第 1、第 2 ビアホール 426、432 はエッジアレイ構造及びバ

【0070】このようにパッド窓領域 440 下部に符号 424a で表示された導電性パッドが置かれるように第 1 導電性パッド 424 を形成するのは、層間絶縁膜の平坦化工程の進行時に金属デンシティ (metal density) が高い部分とそうでない部分とで発生される段差問題に起因して導電性パッドの間で惹起される層間絶縁膜のデ

ィーシング (dishing) 現象を防止するためである。そして、前記平面図では第 1、第 2 ビアホール 426、432 が第 2 層間絶縁膜 428 と第 3 層間絶縁膜 434 内でジグザグに相互にずれて形成されているが、場合によ

【0071】ここで、図 8 は図 11 及び図 12 の I-I 部分を切断した断面構造を示したもので、符号 400a はパッド形成部を示し、符号 400b はセルとパッド形

成部との間の連結部を示す。

【0072】そして、前記構造の多層パッドを具備した半導体素子は次の第 3 段階を経て製造される。これを図 24 乃至図 26 に示した工程別断面図を参照して説明する。

【0073】第 1 段階として、図 24 に示すように、フィールド酸化膜、トランジスタ、及びキャパシタが具備された半導体基板 420 上に 9000~12000 オングストロームの厚さの第 1 層間絶縁膜 422 を形成し平坦化した後、その全面に Al 合金又は Cu 合金材質の導電性膜を 5500~6500 オングストロームの厚さに形成する。次いで、この導電性膜上に TiN 又は Ti/TiN 積層膜構造の反射防止膜 (図示せず) を 200~350 オングストロームの厚さに形成し、光食刻工程を施して反射防止膜と導電性膜とを所定部分選択食刻して導電性膜の中央部に複数の貫通ホール h を形成する。その結果、中央部に複数の貫通ホール h が形成された構造の第 1 導電性パッド 424 が形成される。次いで、第 1 導電性パッド 424 を包含した第 1 層間絶縁膜 422 上に酸化膜材質の第 2 層間絶縁膜 428 を 15000~17000 オングストロームの厚さに形成し、第 1 導電性パッド 424 のエッジ部 (パッド窓領域 440 の外郭部) 表面の所定部分が露出されるように第 2 層間絶縁膜 428 を選択食刻して絶縁膜 428 内に第 1 ビアホール 426 を形成する。以後、第 1 ビアホール 426 を包含した第 2 層間絶縁膜 428 上に W、Al 合金、Cu 合金などの導電性物質を CVD 法により形成した後、これを CMP 工程により平坦化させて第 1 ビアホール 426 内に第 1 導電性プラグ 427 を形成する。このとき、導電性プラグ 427 が W で形成された場合には膜質蒸着特

性を向上させるため、第 1 ビアコンタクトホール 426 内に Ti/TiN 積層膜構造の障壁金属膜 (図示せず) をさらに形成するのが良い。

【0074】第 2 段階として、図 25 に示すように、第 2 層間絶縁膜 428 上の所定部分に中央部にワイド貫通ホールが具備された閉曲線形の第 2 導電性パッド 430 を第 1 導電性プラグ 427 と連結されるように形成する。ついで第 2 導電性パッド 430 を包含した第 2 層間絶縁膜 428 上に第 3 層間絶縁膜 434 を 14000~16000 オングストロームの厚さに形成し平坦化した後、第 2 導電性パッド 430 表面の所定部分が露出されるように第 3 層間絶縁膜 434 を選択食刻して絶縁膜 434 内に第 2 ビアホール 432 を形成し、前述した工程と同様な方法により第 2 ビアホール 432 内に第 2 導電性プラグ 433 を形成する。第 3 段階として、図 26 に示すように、第 3 層間絶縁膜 434 上の所定部分に第 2 導電性プラグ 432 と連結されるように Al 合金又は Cu 合金材質の第 3 導電性パッド 436 を形成し、第 3 導電性パッド 436 表面の所定部分が露出されるように第 3 導電性パッド 436 を包含した第 3 層間絶縁膜 434 上に保護膜 438 を形成して、多層配線を有する半導体素子の多層パッド 400 の製造を終了する。

【0075】このような構造を有するように工程を進行する場合も、ワイヤボンディング時又は製品の特性を評価するためのブローピング時、外部から加えられるストレスを分散させることができ、クラック発生を顕著に減らし得るようになる。

【0076】(V) 第 5 の実施形態

以下、図 13 に示した断面図を参照して第 5 の実施形態を説明する。図 13 によると、本発明の第 5 の実施形態の多層パッドを具備した半導体素子は大きく次の構成を有する。

【0077】フィールド酸化膜、トランジスタ、及びキャパシタが具備された半導体基板 520 上に第 1 層間絶縁膜 522 が形成され、この第 1 層間絶縁膜 522 上のパッド形成部に第 1 導電性パッド 524 が形成され、この第 1 導電性パッド 524 を包含した第 1 層間絶縁膜 522 上に導電性パッド 524 表面の所定部分が露出されるようにビアホール 526 が具備された第 2 層間絶縁膜 528 が形成され、ビアホール 526 内に導電性プラグ 527 が形成される。ついで、第 2 層間絶縁膜 528 上の所定部分に導電性プラグ 527 と連結されるように第 2 導電性パッド 530 が形成され、この第 2 導電性パッド 530 を包含した第 2 層間絶縁膜 528 上に第 2 導電性パッド 530 表面の所定部分が露出されるようにワイドビアホール 532 が形成された第 3 層間絶縁膜 534 が形成される。ワイドビアホール 532 を包含した第 3 層間絶縁膜 534 上の所定部分には第 3 導電性パッド 536 が形成され、第 3 導電性パッド 536 を包含した第 3 層間絶縁膜 534 上に第 3 導電性パッド 536 表面の

所定部分が露出されるように保護膜538が形成される。ここで、第3導電性パッド536の表面露出部は以後パッケージ製造時に導電性パッドとリードとがワイヤボンディングされるパッド窓領域540を示す。

【0078】図14は、図13の多層パッドが具備された半導体素子の平面図である。即ち、図14に示すように、パッド窓領域540は第3導電性パッド536の中央部に正方向に形成され、その下部には第1乃至第3導電性パッド524、530、536が形成される。

【0079】このとき、第1、第2導電性パッド524、530を電気的に連結させるビアホール526、532の表面上のレイアウト配置はいろんな形態に適用可能であるが、図14に示すようにエッジレイ構造を有するように形成することもでき、図示されていないがバー形態を有するように形成することもできる。

【0080】ここで、図13は図14のI-I部分を切断した断面図で、符号500aはパッド形成部、符号500bはセルとパッド形成部との間の連結部を示す。

【0081】そして、前記構造の多層パッドを具備した半導体素子は次の第3段階を経て製造される。これを図27乃至図29に示した工程別断面図を参照して説明する。

【0082】第1段階として、図27に示すように、フィールド酸化膜、トランジスタ、及びキャパシタが具備された半導体基板520上に9000～11000オングストロームの厚さの第1層間絶縁膜522を形成し平坦化した後、その全面にAl合金又はCu合金材質の導電性膜を5500～6500オングストロームの厚さに形成する。ついで、導電性膜上にTiN又はTi/TiN積層膜構造の反射防止膜（図示せず）を200～350オングストロームの厚さに形成し、光食刻工程により第1層間絶縁膜522表面の所定部分が露出されるように反射防止膜と導電性膜とを食刻して第1導電性パッド524を形成する。次いで、第1導電性パッド524を包含した第1層間絶縁膜522上に酸化膜材質の第2層間絶縁膜528を15000～17000オングストロームの厚さに形成し平坦化した後、光食刻工程により第1導電性パッド524のエッジ部（パッド窓領域540の外郭部）表面の所定部分が露出されるように第2層間絶縁膜528を選択食刻して第2層間絶縁膜内にビアホール526を形成する。

【0083】ついで、ビアホール526を包含した第2層間絶縁膜528上にCVD法によりW、Al合金、Cu合金などの導電性物質を形成し、これをCMP工程を施して平坦化させてビアホール526内に導電性プラグ527を形成する。このとき、導電性プラグ527がWで形成された場合には膜質蒸着特性を向上させるためビアホール526内にTi/TiN積層膜構造の障壁金属膜（図示せず）をさらに形成するのが良い。

【0084】第2段階として、図28に示すように、第

2層間絶縁膜528上の所定部分に導電性プラグ527と連結されるようにAl合金又はCu合金材質の第2導電性パッド530を形成し、その全面に酸化膜材質の第3層間絶縁膜534を14000～16000オングストロームの厚さに形成し平坦化した後、第2導電性パッド530の中央部が所定部分露出されるように第3層間絶縁膜534を食刻して絶縁膜534内にワイドビアホール532を形成する。このとき、第2導電性パッド530は第1導電性パッド524と同様なサイズに形成される。なお、他の工程条件は第1段階と同様である。

【0085】第3段階として、図29に示すように、ワイドビアホール532を包含した第3層間絶縁膜534上の所定部分に第1段階と同様な工程条件にAl合金又はCu合金材質の第3導電性パッド536を形成し、導電性パッド536の中央部表面の所定部分が露出されるようにその全面に保護膜538を形成して、多層配線を有する半導体素子の多層パッド500の製造を終了する。

【0086】このような構造を有するように工程を進行する場合、第3導電性パッド536下部に形成された第2導電性パッド530に起因して、ワイヤボンディングがなされる部分のパッド厚さを十分に厚くさせ得る効果が得られて、製品の特性評価のためのプロービング時又はワイヤボンディング時にパッドにストレスが加えられてもパッドの変形及び層間絶縁膜にクラックが発生することを最小化し、第1乃至第4の実施形態の場合よりも工程進行が容易で費用が節減されるという効果がある。

【0087】このとき、本発明の第1乃至第5の実施形態で示された半導体素子の多層パッド構造は既に説明した3層配線構造を有する半導体素子の外に4層及び5層配線構造を要する半導体素子の製造時にも同様に適用可能である。

【0088】そして、第1乃至第5の実施形態の一変形例として、本発明で示した多層パッドはそれぞれの実施形態において、第3導電性パッドを包含した第3層間絶縁膜上に導電性パッドの表面が所定部分露出されるようにワイドビアホールが具備された第4層間絶縁膜と、ワイドビアホールを通じて第3導電性パッドと連結される第4導電性パッドと、がさらに形成された構造を有するように製造することもできる。

【0089】この場合、保護膜形成工程の以前に実施されるワイドビアホールが具備された第4層間絶縁膜形成工程及び第4導電性パッド形成工程は上述の工程（例えば、第5の実施形態の第2、第3段階工程）と同様に進行されるから、その説明は省略する。

【0090】以上、実施の形態に基づいて本発明を具体的に説明したが、本発明はこれに限定されず、本発明の技術的思想内で当分野の通常の知識によりその変形及び改良が可能であることは勿論である。

【0091】

【発明の効果】以上説明したように本発明では、第1、第2ビアコンタクトホールがワイヤボンディング領域の一面側外郭部のみに形成されるので、ワイヤボンディングのときゴールドボールがボンディング領域の中央地点に正確に整列されずに一方に片寄る状態にボンディングされても絶縁層でのクラック発生の頻度を既存よりも1/4ほど減らすことができる。

【0092】また、セル形成部とパッド形成部との連結ラインにビアコンタクトホールが形成されるから、外部ストレスからボンディングパッドが開放されてクラック発生を最小化し得ると共に、パー形態のビアホールによりコンタクト抵抗減少の効果が得られる。

【0093】また、ワイヤボンディング時又は製品の特性を評価するためのプロービング時に外部からパッドに加えられるストレスを分散させることが可能になって絶縁膜のクラック発生を顕著に減らすことができる。

【0094】また、第2、第3導電性パッドの積層効能により工程進行上の困難を伴うことなくワイヤボンディング領域のファイナルパッド (final pad) の厚さを充分に厚くさせる効果を得ることができ、しかも、層間絶縁膜のクラック発生の最小化及び費用節減効果を同時に得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態による多層パッドを具備した半導体素子の構造を示す断面図である。

【図2】第1の実施形態に適用可能な図1の平面図である。

【図3】第1の実施形態に適用可能な図1の平面図である。

【図4】第1の実施形態に適用可能な図1の平面図である。

【図5】第1の実施形態に適用可能な図1の平面図である。

【図6】本発明の第2の実施形態による多層パッドを具備した半導体素子を示す断面図である。

【図7】図3の断面図である。

【図8】本発明の第3の実施形態による多層パッドを具備した半導体素子の構造を示す断面図である。

【図9】図5の平面図である。

【図10】本発明の第4の実施形態による多層パッドを具備した半導体素子の構造を示す断面図である。

【図11】図7の平面図である。

【図12】図7の平面図である。

【図13】本発明の第5の実施形態による多層パッドを具備した半導体素子の構造を示す断面図である。

【図14】図9の平面図である。

【図15】本発明の第1の実施形態による多層パッドを具備した半導体素子の製造方法を示す図である。

【図16】本発明の第1の実施形態による多層パッドを具備した半導体素子の製造方法を示す図である。

【図17】本発明の第1の実施形態による多層パッドを具備した半導体素子の製造方法を示す図である。

【図18】本発明の第2の実施形態による多層パッドを具備した半導体素子の製造方法を示す図である。

【図19】本発明の第2の実施形態による多層パッドを具備した半導体素子の製造方法を示す図である。

【図20】本発明の第2の実施形態による多層パッドを具備した半導体素子の製造方法を示す図である。

【図21】本発明の第3の実施形態による多層パッドを具備した半導体素子の製造方法を示す図である。

【図22】本発明の第3の実施形態による多層パッドを具備した半導体素子の製造方法を示す図である。

【図23】本発明の第3の実施形態による多層パッドを具備した半導体素子の製造方法を示す図である。

【図24】本発明の第4の実施形態による多層パッドを具備した半導体素子の製造方法を示す図である。

【図25】本発明の第4の実施形態による多層パッドを具備した半導体素子の製造方法を示す図である。

【図26】本発明の第4の実施形態による多層パッドを具備した半導体素子の製造方法を示す図である。

【図27】本発明の第5の実施形態による多層パッドを具備した半導体素子の製造方法を示す図である。

【図28】本発明の第5の実施形態による多層パッドを具備した半導体素子の製造方法を示す図である。

【図29】本発明の第5の実施形態による多層パッドを具備した半導体素子の製造方法を示す図である。

【図30】従来の多層パッドを具備した半導体素子の構造を示す断面図である。

【図31】図30の平面図である。

【符号の説明】

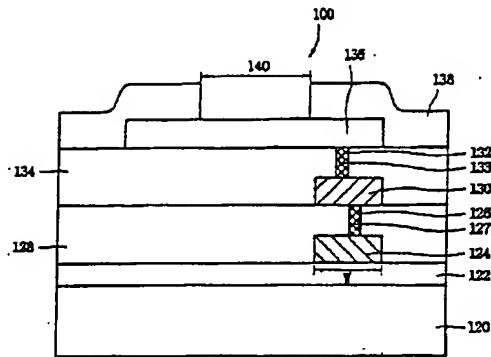
120, 221, 320, 420, 520	半導体基板
122, 222, 322, 422, 522	第1層間絶縁膜
124, 224, 324, 424, 524	第1導電性パッド
126, 226, 326, 426, 526	第1ビアホール
127, 227, 327, 427, 527	第1導電性プラグ
128, 228, 328, 428, 528	第2層間絶縁膜
130, 230, 330, 430, 530	第2導電性パッド
132, 232, 332, 432, 532	第2ビアホール
133, 233, 333, 433, 533	第2導電性プラグ
134, 234, 334, 434, 534	第3層間絶縁膜
136, 236, 336, 436, 536	第3導電性

パッド

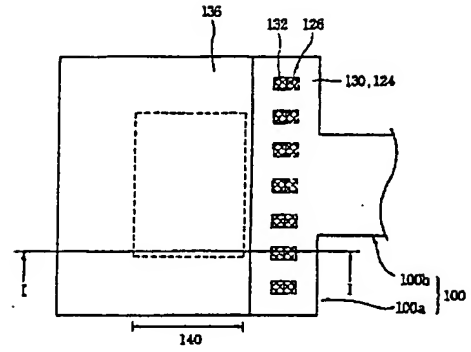
138, 238, 338, 438, 538 保護膜

140, 240, 340, 440, 540 パッド窓領域

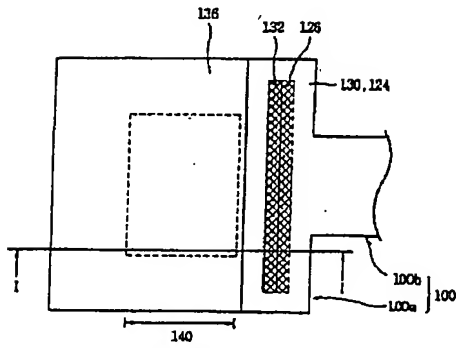
【図1】



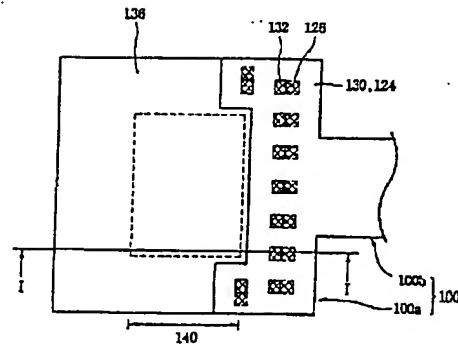
【図2】



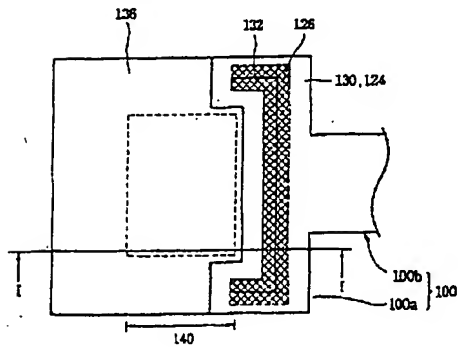
【図3】



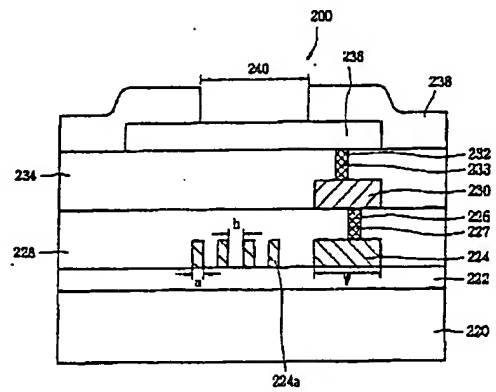
【図4】



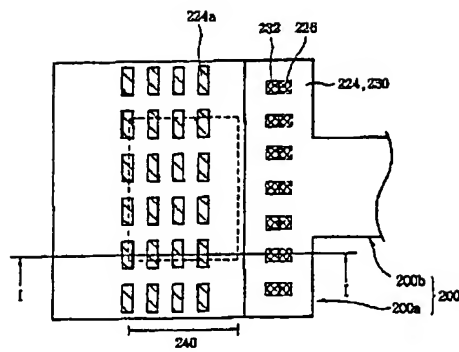
【図5】



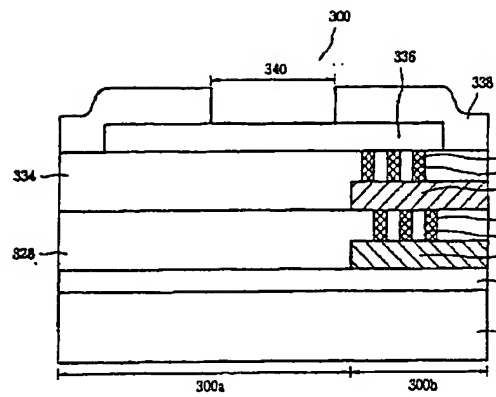
【図6】



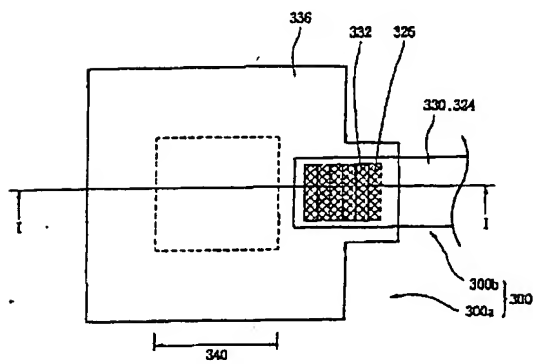
【図 7】



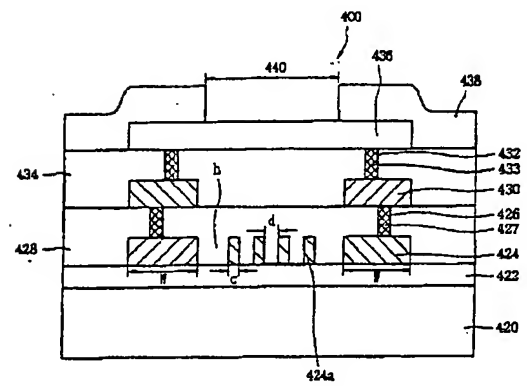
【图 8】



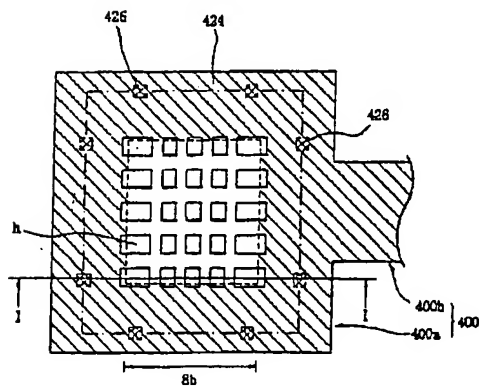
【图9】



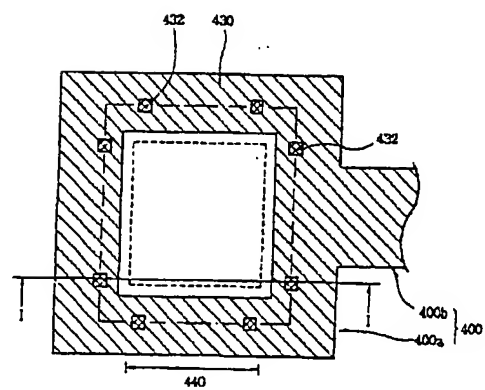
【図 10】



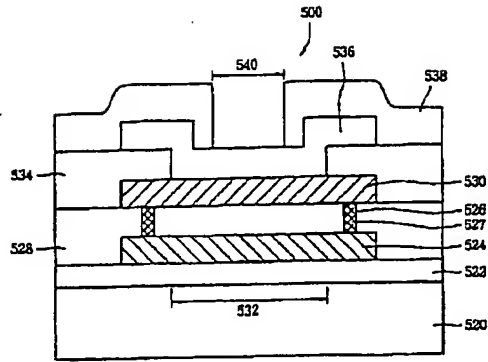
【圖 1 1】



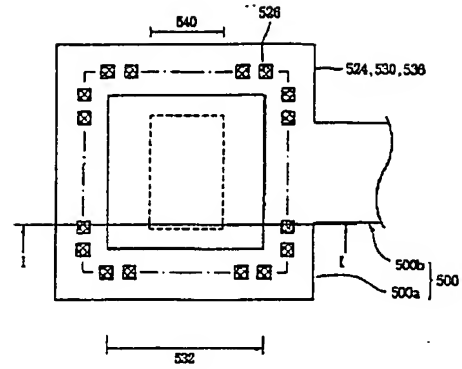
【圖 12】



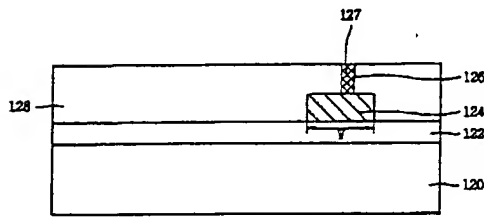
【図13】



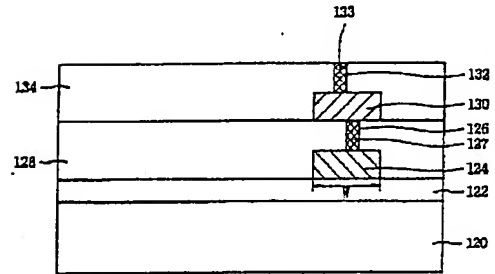
【図14】



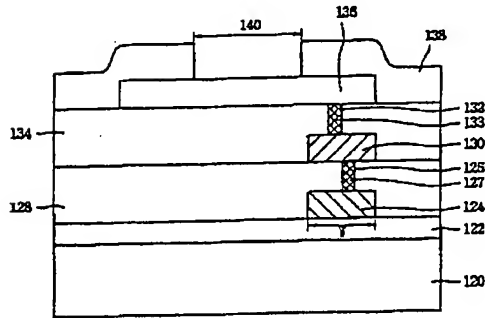
【図15】



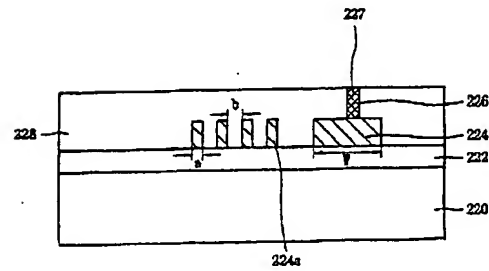
【図16】



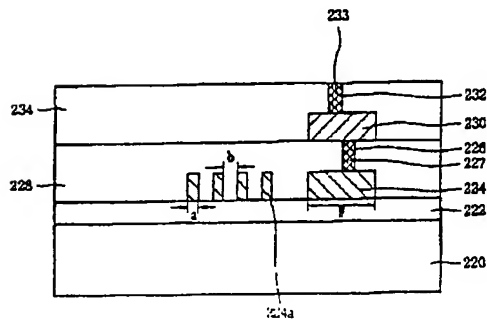
【図17】



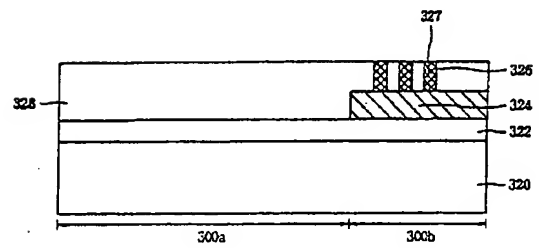
【図18】



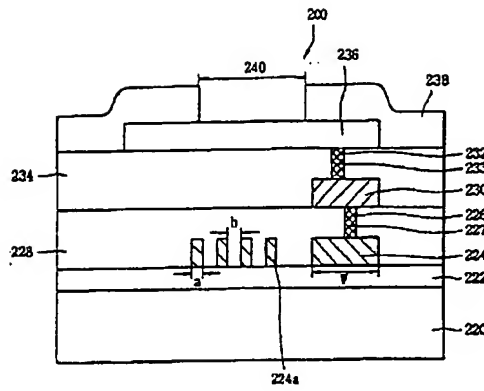
【図19】



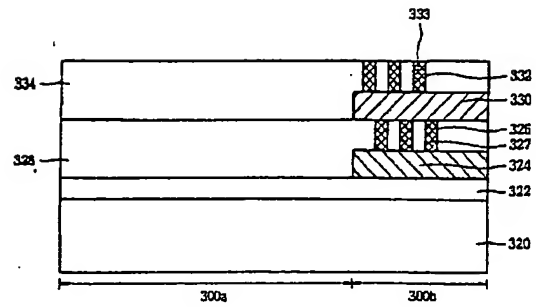
【図21】



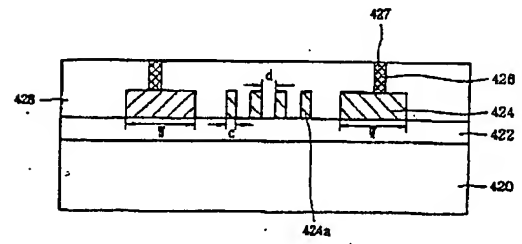
【図20】



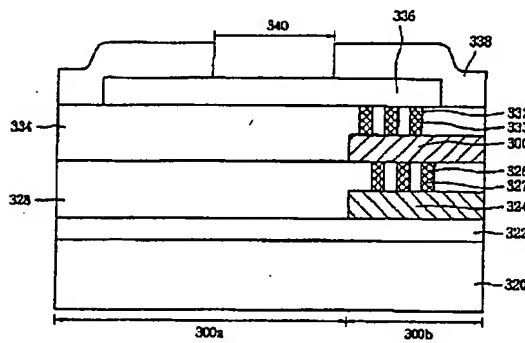
【図22】



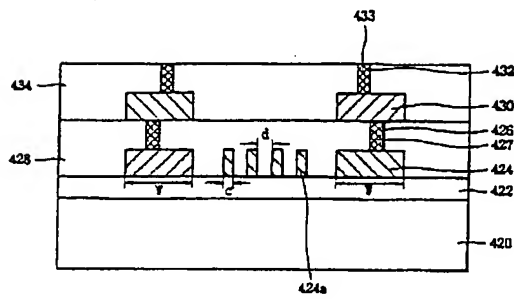
【図24】



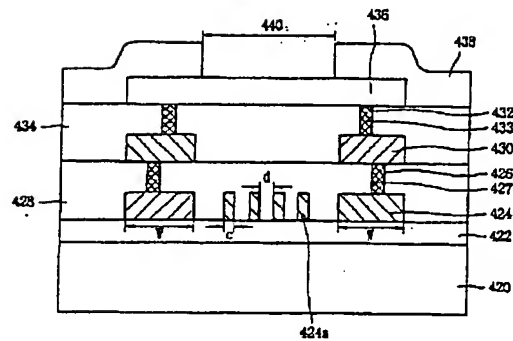
【図23】



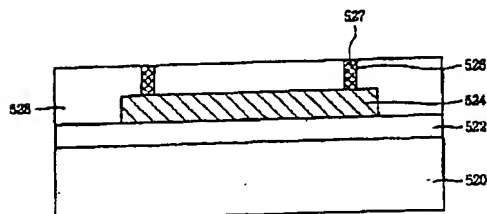
【図25】



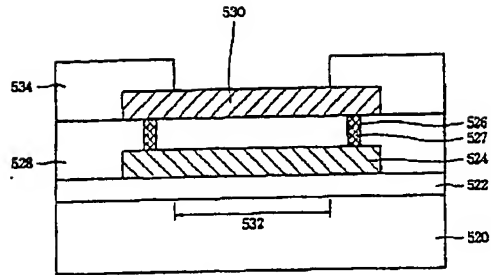
【図26】



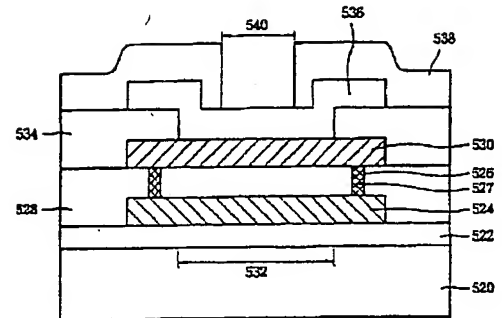
【図27】



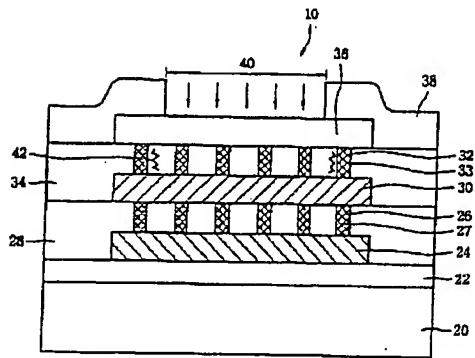
【図28】



【図29】



【図30】



【図31】

